

# Workshop AXI Interface Technology

Während über Jahre IP-Cores und deren Hardware-schnittstellen anbieterspezifisch und applikationsspezifisch angeboten wurden, hat sich der Standard Interface Standard ARM-AXI etabliert und wird für nahezu alle Cores mittlerweile angeboten und ersetzt damit immer eine Vielzahl unterschiedlicher Busstandards.

Aber nicht nur Busstandards wie im Kontext der Prozessoren wie MicroBlaze oder ZYNQ PS, auch DSP Cores oder rudimentäre Hardware wie FIFOs können als AXI konforme Schnittstelle eingerichtet werden.

Dieser Workshop vermittelt fundamentales Wissen um den Standard und Methoden, eigene Hardware Komponenten AXI-konform entwickeln und testen zu können. Auch erweitert sich die AXI IP-Palette der Drittanbieter, da viele Technologieanbieter bei der Standardisierung mitwirkten. Die AMBA Protokolle werden aufgezeigt und inwieweit AXI für FPGA Implementierungen optimale

Konfigurationen der Signalkommunikation erlaubt. Die Architektur der AXI Komponenten performant oder ressourcenschonend zu gestalten, erfordert Fachwissen, da viele Faktoren zu berücksichtigen sind.

Mit praxisnahen Übungen begleitet vermittelt der Workshop Protokollverständnis und Expertenwissen der Anwendung.

## Anwendbare Technologien

XILINX FPGAs, SoC, MPSoC & RFSoc

## Voraussetzungen

Kenntnis der FPGA Technologie u. XILINX Design Tool Flow Grundkenntnisse VHDL

## Dauer und Kosten

2 Tage, € 1.500,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### Introduction to AXI

- What is AXI?
- AXI Transactions
- Variations of AXI
- AXI Development using XILINX Tools

### IP Integrator and the PS Configuration Wizard

- Building a System with IP Integrator
- Customizing the ZYNQ All
- Configuration of AXI Interfaces

### Designing a Custom Peripheral Using the IP Packager

- Talking AXI
- AXI4 IP Cores
- IP Packager - Designing with IP
- Adding AXI-Based Custom IP

### AXI Bus Functional Model Simulation

- Debugging Custom IP
- BFM Simulation
- Bus Functional Stimulus
- BFM Simulation Flow

### AXI Streaming

- Simply Simplex
- Where's the Interconnect?
- AXI Streaming FIFO

### System Data Movement (AXI-DMA)

- Low Latency and High Bandwidth
- AXI Outside the Embedded Realm
- AXI Connector and Bridges
- AXI DMA

### Performance Modeling in SDK for ZYNQ

- AXI Traffic Generator (ATG)
- AXI Performance Monitor (APM)
- SDK Performance Visualization

### AXI System Optimization Guidelines

- Resource Optimization
- Timing Optimization
- AXI Debugging

### Labs

- Adding IP to a Processor System
- IP Packaging User Peripherals with AXI Interface
- Sharing Processor RAM resources via AXI
- AXI Bus Functional Simulation
- Configuring DMA on the ZYNQ-7000 SoC
- AXI System Performance Analysis (SPM)