

Workshop SystemVerilog – Advanced Verification for FPGA Design

FPGA Designs haben sich in Bezug auf Performance und Umfang stark weiterentwickelt. Die Verifikation dieser Art von Designs sind zu einer enormen Aufgabe herangewachsen, besonders im Zusammenhang mit der Validierung gegen den Testplan und die Spezifikation. SystemVerilog stellt eine umfangreiche Menge von Werkzeugen zur Verfügung und ist eine natürliche Erweiterung von Verilog. Die Sprache kennt auch Konstrukte, die besser die Intension widerspiegeln, wie z.B. Aufzählungstypen, integrierte Assertions und Hochsprachenkonstrukte, die sowohl strukturelle Hierarchie als auch OOP unterstützen und erlaubt auch, flexiblere und wiederverwendbare Testbenchkomponenten zu erstellen, auch im Kontext von VHDL Designs.

Dieser Workshop wird einen Überblick über die Sprache SystemVerilog geben und neue Methodiken wie Assertion-Based Verification, Constrained Randomization und Functional Coverage vorstellen. Die Teilnehmer werden lernen, wie diese Methodiken zur Verifikation eines VHDL Designs genutzt werden können, um die Verifikation zu beschleunigen und

den aktuellen Stand bezogen auf das Ziel, den Nachweis der Verifikation aller Funktionen, zu erbringen.

Zielgruppe

FPGA Design- und Verifikationsingenieure

Voraussetzungen

Erfahrung mit VHDL oder Verilog für Design und Verifikation

Ziele

Grundlagen der Sprache SystemVerilog
Einführung in das Konzept des OOP (Objekt orientierte Programmierung) in SystemVerilog
Einführung in SystemVerilog Assertions, Constrained Randomization und Functional Coverage und deren Einbindung in eine Testbench für ein VHDL Design

Dauer und Kosten

3 Tage, € 2.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Motivation

Einführung in SystemVerilog

- Datentypen
- Felder und Strukturen
- Ablaufsteuerung
- Hierarchie
- Tasks, Funktionen, dynamische Prozesse
- Klassen in OOP

SystemVerilog Assertions

- SVA Sprachaufbau
- Sequenzielle Ausdrücke
- Property Ausdrücke
- Assert und Cover Direktive
- Bind Statement

Constrained Randomization

- Constraints
- Random Case
- Random Sequence

Functional Coverage

- Covergroup
- Coverpoint
- Cross