



## Workshop Versal ACAP System Architecture

Mit Versal stellt Xilinx die erste hochintegrierte Chip Serie aus der Technologiefamilie von ACAP - Adaptive Compute Acceleration Platform bereit. Die Versal Chips weisen eine heterogene Architektur auf mit CPU Clustern, FPGA, High Speed Connectivity, Memory Management und AI Engines, die es ermöglichen, Software und DSP-Applikationen in Hardware zu parallelisieren und zu partitionieren, um die optimale Hardware-Architektur für spezifische Aufgabe zu nutzen. In diesem Workshop wird die Architektur vorgestellt, um die Bausteine optimal für anspruchsvolle Aufgaben nutzen zu können, ob Prozessor unterstützt, ob mittels AI-Engines, DSP-Engines oder programmierbare Logik (PL). Es werden die technischen Merkmale und Komponenten der Bausteine beschrieben, auf die mittels Vitis durch Software und Hardware-Kompilation spezifische Funktionen abgebildet werden können.

Vielfältige Optimierungsmöglichkeiten bestehen, um Anforderungen von Performance, Reduktion von Verlustleistung, Verringerung von Latenzen bis hin zu Elementen funktionaler Sicherheit erfüllen zu können. Insbesondere dafür ist eine sinnvolle Partitionierung ein wichtiger Aspekt, der die Kenntnisse dieser Architektur voraussetzt. Entsprechend

werden die typischen ACAP Hard IPs wie Network-on-Chip (NoC) und die mehrfachen Memory Controller vorgestellt und im Kontext einer System Design Methodik vorgestellt. Diese stellt durchgängig den Plattform-Ansatz der Devices und der Toolchain in den Vordergrund und deckt die Aspekte der Plattform Erzeugung, System Integration und Simulation bzw. Validierung vor. Der Workshop eignet sich insbesondere für System Ingenieure und Entwickler in der Planungsphase von komplexen Aufgaben, wie z.B. in Cloud Anwendungen wie auch für Edge-Produktentwicklungen.

### Anwendbare Technologien

Xilinx Versal ACAP Series

### Voraussetzungen

Grundkenntnisse von Prozessor System Architekturen

Kenntnisse der C/C++ Programmierung

Grundkenntnisse der FPGA Architektur

### Dauer und Kosten

2 Tage, € 1.500,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

- Einführung in Versal ACAP
- ACAP Architektur
- ACAP Adaptable Engines (PL)
- Processing System
- PMC, Boot and Konfiguration
- IO Konnektivität
- Clocking Architecture
- System Interrupts
- Timers, Counters, RTC
- DSP Engine und AI Engines
- Einführung in das Versal NoC
- Device Memory
- Serial Transceivers
- Einführung in PCIe, CPM and CCIX
- Security Merkmale
- Partitionierung von System-Architekturen

- Entwicklungsmethodik für Hardware, IP, und Plattform
- System Integration und Validation Methoden

### Labs:

- Design Tool Flow
- Boot and Configuration
- High level introduction to IO and clocking resources
- Application development using the APU/RPU cores
- NoC Introduction
- System level simulation
- Versal ACAP Platform Creation