

## Workshop

# PCI Express Hands-on System Development

Seit seiner Einführung im Jahre 2002 durchdringt PCI Express als Hochgeschwindigkeitsschnittstelle immer mehr die DSP und Mikrocontrollerwelt und hat sich zu einem de-facto Standard entwickelt. Viele Anwendungen nutzen hierbei die Direct Memory Access (DMA) Eigenschaften von PCI Express, um Daten schnell zum oder vom CPU Speicher zu streamen.

Dieser Kurs vermittelt die Grundlagen und wichtiges Praxis Know-How für den Aufbau und die Inbetriebnahme von hochperformanten DMA PCI Express Streaming Endpoints mit XILINX FPGAs.

Der Teilnehmer lernt grundlegende PCI Express Protokolleigenschaften kennen, die den Datendurchsatz bei Streaming Applikationen negativ beeinflussen und bei der Konzeption frühzeitig berücksichtigt werden müssen. Es wird auf verschiedene DMA Architekturen eingegangen und diese mit ihren Vor- und Nachteilen gegenübergestellt. Anhand

einer Praxiseinheit werden am Beispiel eines PCIe Traffic-Generators praktische Durchsatzvermessungen durchgeführt und systemrelevante Kenngrößen (CRC Fehler, Stall Time) vermessen.

In weiteren Einheiten wird auf Simulationsaspekte, Leiterplattenthemen und Debugging Möglichkeiten eingegangen. Der Workshop ist praxisnah und enthält Übungen, die helfen, das theoretische Wissen direkt anwenden zu können..

### Anwendbare Technologien

XILINX 7 Series, alle Ultrascale Architekturen

### Voraussetzungen

Grundkenntnisse VHDL, Grundkenntnisse im XILINX Design Tool Flow, Grundkenntnisse FPGA-Technologie

### Dauer und Kosten

3 Tage, € 2.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### Introduction to PCI Express

- PCIe Systemarchitecture
- PCIe specific terms
- Negotiation

### Overview Protocol Specification

- TLPs (Requests & Completions)
- BARs
- Configuration Space

### Performance limiting influences

- Understanding Flow Control
- PowerManagement
- Measuring Performance
- Detecting CRC Errors
- **Lab:** Traffic Generator

### Booting and Configuration

- Reaching the 100 ms boottime requirement
- TandemPROM / TandemPCIe
- Field Updates with 7 Series FPGAs

### PCB Design Considerations

- Highspeed Lanes
- Clocking
- Layout aspects

### Simulation

- Designing PCIe Testbenches
- How to accelerate Simulation
- **Lab:** Simulating and optimizing simulation time

### Debugging a PCI Express System

- IBERT Eyediagrams
- Chipscope
- Completion Timeouts
- **Lab:** Exploring a PCI Express Link with IBERT and Chipscope

### DMA architectures

- Contiguous DMA Memory
- Scatter/Gather DMA Memory
- Building Descriptor Lists