



## Workshop Compact Versal ACAP for SW Designer

Mit der Versal ACAP Architektur werden die Möglichkeiten des PS Systems aus der MPSoC Familie um leistungsfähige Komponenten erweitert und das Mapping von Applikationen auf den ARM Clustern der APUs (Application Processing Unit) und RPU (Realtime Processing Unit) und der Programmierbaren Lo-gik (PL) und weiterer IPs wie den AI Engines erleichtert. In diesem Kurs wird das Design einer Embedded Software vermittelt, das auf einer Plattform aus dem Vivado Design Flow aufsetzt.

Die XILINX Software Entwicklungsumgebung Vitis wird verwendet, um die Methoden der Softwareerstellung kennen zu lernen. Sowohl das Design von Software für einzelne Prozessoren, als auch die Verwendung von Operating Systems wie Linux wird gezeigt. Mit der Funktionsvielfalt der Versal Plattformen ist auf Systemebene die Partitionierung einzelner Funktionen auf die entsprechende Hardware wesentlich, um ein Design effizient umzusetzen. Daher ist auch die Analyse der Performance mit der Emulation oder im Target System Inhalt des Kurses. Um die vollen Möglichkeiten der mit Vitis bereitgestellten Lösungen zu zeigen, wird die Unterstützung verschiedener OS Ansätze dargestellt. Die Multicore-Hardware lässt den Parallelbetrieb mehrerer Betriebssysteme zu, wodurch Wissen um Synchronisierung, z.B. mittels OpenAMP Framework, wichtig für eine richtige Skalierung.

Es stehen dazu neben Linux auch Realtime Operating Systeme, FreeRTOS, als auch baremetal Implementationen zur Verfügung.

Die Versal Architektur bietet dynamische Power-Kontrolle, wozu mit dem PMC (Platform Management Controller) ein eigenes Target zur Verfügung steht. Daher wird im Kurs auf PMC Software Projekte eingegangen. Die spezifischen Toolflows für Accelerator-basiertes Design in Vitis, oder auch speziell auf den Versal AI Engine zielende Inhalte können unsere Kurse „Compact Vitis for Acceleration“ und die Versal AI Engine Kurs vermitteln.

### Anwendbare Technologien

XILINX VERSAL ACAP Series

### Voraussetzungen

Grundlagenkenntnisse von Prozessor Architekturen

Kenntnisse der C/C++ Programmierung

Grundlagenkenntnisse von FPGA Architekture

### Dauer und Kosten

3 Tage, € 2.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

- Overview of Embedded Software Development
- Versal Architecture Overview
- Short Design Tool Flow Overview
- Versal ACAP Processing System
- Driving the Vitis Software Development Tool
- Debugging Methods
- Versal Application Partitioning
- Application Development and Debugging
- System Simulation
- FreeRTOS
- Symmetric MultiProcessing Linux
- Versal ACAP Software Build Flow: PetaLinux and Yocto
- Software Stack for Versal ACAP
- Deploying OpenAMP in a Heterogeneous System
- Versal Platform Controller (PMC)
- Power Management Controller
- Boot and Configuration
- Introduction to System Integration and Validation Methodology
- Outlook on Acceleration Toolflow

### Labs:

- Umfangreiche themenbegleitende Übungen ermöglichen eine praxisgerechte Einarbeitung