



Workshop Compact Versal ACAP for HW Designer

Mit der Versal ACAP Familie (Adaptive Compute Acceleration Platform) erweitert Xilinx die Features und Flexibilität der bisherigen Bausteinfamilien. Hardware Entwicklern stehen zu den bekannten Vorteilen programmierbarer Logik leistungsfähige Prozessoren weitere Hard-IP zur Verfügung, um effektive em-bedded Systeme zu erstellen. Für Software Entwickler wird eine Vielzahl von Libraries und Methoden der Hardwarebeschleunigung für Prozessor-basierte Applikationen mit der Entwicklungsumgebung Vitis mitgeliefert. Dieser Kurs vermittelt sowohl die Tool-, als auch die Architektur-spezifischen Aspekte, die für die Hardwareentwicklung auf Versal ACAPs relevant sind, was nicht nur die klassischen HDL Implementationen in PL betrifft. Es werden auch Einsichten in die Chip-Ressourcen geboten, wie Intelligent Engines und Peripherien, die mit dem Network on a Chip (NoC) mit hoher Bandbreite verbunden werden. Im Team basierten Arbeiten von Hardware- und Software Entwicklern wird im Kurs vermittelt, wie die Systemintegration mit den Tools von Vivado und Vitis erfolgt. Daher wird die Erarbeitung einer Hardware Plattform mit den IP Elementen der Versal ACAPs auf Basis der Vivado Design Tools vorgestellt und die Übergabe an den Vitis Software Development Flow gezeigt. Die Vitis Umgebung bietet die Tools für Debugging auf der Hardware und Einbindung der Treiber aller Hardware Feature, um damit ein effektives Einschalten der Hardware Designs zu ermöglichen. Ein weiterer Schwer-

punkt ist die Verknüpfung eigener Hardware Funktionen, die in der Regel in Händen des Hardwareentwicklers liegt. Hier gilt es, eine eigene Funktion mit AXI basierende Schnittstellen Tech-nologie für optimalen Durchsatz und passende Latenz zu managen und diese auch für den Vitis Software Prozess zu verpacken. Um diese Embedded Designs in der Hardware verwenden zu können, schließt der Kurs mit der Darstellung der Generierung der Programmier-Files ab. Für tiefere Behandlung der Tools für Embedded Software Design auf der Versal ACAP Plattform bieten wir die Kurse „Compact Versal ACAP for SW Designers“ oder den übergreifenden „Professional Versal ACAP“ an.

Anwendbare Technologien

XILINX VERSAL ACAP Series

Voraussetzungen

Verständnis digitaler Systemarchitekturen
Grundkenntnisse des XILINX Vivado Flows
Grundkenntnisse der XILINX FPGA Architektur
Kenntnisse der Programmiersprache VHDL

Dauer und Kosten

3 Tage, € 2.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

- Overview of Embedded Hardware Development
- Versal ACAP Architecture Introduction
- Scalar Engines
- Adaptable and Intelligent Engines
- Driving the IP Integrator Tool
- NoC and Memory Introduction and Concepts
- Clocks, Resets Architecture
- IO Connectivity
- Overview of Embedded Software Development
- Driving the Vitis Software Development Tools

- Versal Interrupts: Hardware Aspects
- AXI Introduction and Variations
- AXI Transactions
- Connecting AXI IP
- Creating a new AXI IP
- Versal Programming Interfaces
- PMC, Boot and Configuration

Labs:

- Umfangreiche themenbegleitende Übungen ermöglichen eine praxisgerechte Einarbeitung