



Workshop Advanced ZYNQ Ultrascale+ MPSoC for HW Designers

Dieser Workshop vermittelt sowohl die Tool-, als auch die Architektur-spezifischen Aspekte, die für die Entwicklung mit der XILINX ZYNQ UltraScale+ MPSoC Architektur grundlegend sind. Der Schwerpunkt dieses Kurses liegt auf dem Verständnis und dem Arbeiten mit der embedded Hardware Architektur unter Nutzung dem XILINX VIVADO-Tools mit Verwendung des IP-Integrators, aber auch des Software Tools Vitis, in der die Hardware Inbetriebnahme die erforderliche Software Unterstützung bekommt. Die Gesamtarchitektur des ZYNQ UltraScale + MPSoC-Verarbeitungssystem (PS) wird ausführlich erläutert, um die Architektur des Prozessor Systems (PS) zu verstehen, das wiederum AXI basierte Schnittstelle für die programmierbare Logik (PL) zur Verfügung stellt. Die APU beinhaltet die ARM Cortex-A53-Kerne, die RPU wiederum die Cortex-R5-Kerne und die PMU wiederum ein MicroBlaze-System. So wird es auch notwendig sein, Zugriffe in einem System aus gemeinsam genutzten Peripherien und gemeinsamem Speicher zu schützen und zu isolieren, wenn MPSoC-basierte Prozesse gleichzeitig

in Ausführung sind. Für diese Verbindung von AXI-basierten IPs in der Programmable Logic (PL) mit dem Processing System (PS) ist es wichtig, das AXI-Protokoll mit Funktionen wie Kohärenzmanagement oder virtuelles Management zu verstehen. Der letzte Teil dieses Kurses umfasst Konzepte des Boot-Managements, Plattformmanagements, Energieverwaltung und Interprozessor-Interrupts.

Anwendbare Technologien

XILINX ZYNQ UltraScale+ MPSoC & RFSoc

Voraussetzungen

Verständnis digitaler Systemarchitekturen

VHDL und FPGA Kenntnisse

Grundlagen Programmiersprache C

Dauer und Kosten

3 Tage, € 2.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

- Zynq US+ MPSoC APU Cortex-A53 Processor
- Zynq US+ MPSoC APU Architecture Extensions
- Zynq US+ MPSoC APU 64-Bit Architecture Features
- Zynq US+ MPSoC APU Exception Handling
- Zynq US+ MPSoC Cache Coherency
- Hypervisors Introduction
- Zynq UltraScale MPSoC Virtualization Hardware Support
- Zynq US+ MPSoC RPU Cortex-R5 Architecture
- Zynq US+ MPSoC RPU Clocking, Power, and Reset
- Zynq US+ MPSoC RPU TCM Architecture
- QEMU Introduction and Launching
- Zynq US+ MPSoC Boot and Configuration
- Zynq US+ MPSoC Boot Image
- FSBL Introduction
- Introduction to Video and Video Codecs
- Zynq US+ MPSoC Video Codec Unit
- Zynq US+ MPSoC System Memory Management Unit
- Zynq US+ MPSoC Peripheral and Memory Protection Units
- Zynq US+ MPSoC Memory Protection Unit
- Zynq US+ MPSoC Clocking and PS Resets
- AXI Introduction
- AXI Variations and Transactions
- Zynq US+ MPSoC PMU Introduction
- Zynq US+ MPSoC PMU Hardware Architecture
- Zynq US+ MPSoC PMU and the IPIs

Themenbegleitende Übungen ermöglichen eine praxisgerechte Einarbeitung