



## PowerWorkshop Professional VIVADO

Bei der Vivado™ Design Suite handelt es sich um eine stark integrierte Entwicklungsumgebung, die auf einer systemorientierten Generation von Werkzeugen basiert. Das Rückgrat hierfür bilden eine übergreifende, skalierbare Datenbasis und eine einheitliche Testumgebung. Gleichzeitig führt die verstärkte Verwendung von Industriestandards wie z.B. AMBA® AXI4, IP-XACT (für Metadaten von eigenen IP-Zellen), Tool Command Language (Tcl), Synopsys® Design Constraints (SDC) etc. zu einer einfachen Erweiterbarkeit oder zur vereinfachten Automatisierbarkeit des Entwicklungsablaufs. Vivado™ ist so konzipiert, dass damit alle Aspekte (Logik, SW, I/O, Mixed Signal, etc.) der programmierbaren Technologien verwaltet werden können und das für Designs bis zu einer Größe von 100M ASIC-Gattern.

Diese Schulung stellt einen umfassenden Einstieg in diese Entwicklungsumgebung dar. Das Spektrum reicht von

ersten Schritten über fortschrittlichere Techniken bis zum Constraining mit XDC und der damit verbundenen Timing-Analyse.

### Anwendbare Technologien

7 Series FPGAs, UltraScale and UltraScale+

### Voraussetzungen

Kenntnisse in VHDL oder Verilog

Solide Kenntnisse in digitaler Schaltungstechnik

Kenntnis der FPGA-Technologie

### Dauer und Kosten

5 Tage, € 3.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### FPGA Design Methodology Summary

#### Introduction to the Vivado Design Suite

#### Vivado Design Flows

- Vivado IDE Design Flows
- Project-Based Design Flows
- Non-Project Batch Mode

#### Visualization for Analysis

#### Designing with IP

- Introduction
- Working with IP
- IP Integrator

#### Basic Timing Constraints and Reports

- Basic Timing Constraints
- Basic Static Timing Analysis
- Reports

#### Accessing the Design Database

#### Static Timing Analysis and Clocks

- Setup Checks and Clocks
- Timing Reports
- Hold Checks
- Generated Clocks
- Multiple Clocks

### Input and Output Constraints

#### Timing Exceptions

- Multicycle Paths
- False Paths
- Max/Min Delay Exceptions

#### Advanced Timing Analysis

- Floorplan

#### Advanced I/O Interface Constraints

- Single Data Rate vs. Double Data Rate
- System-Synchronous Interfaces
- Source-Synchronous Interfaces

#### Project-Based and Non-Project Batch Design Flows

#### Scripting Using Project Based and Non-Project Batch Flows

#### FPGA Design Methodology

#### HDL Coding Techniques

#### Reset Methodology

#### Synchronization Circuits and the Clock Interaction Report

#### Timing Closure

#### FPGA Design Methodology Case Study