

# Workshop Compact FPGA Schaltungstechnik

Die Einhaltung etablierter Designrichtlinien zur Entwicklung digitaler Schaltungen ist für die Implementierung zuverlässiger und reproduzierbarer FPGA Designs zwingend notwendig. Die Schaltungstechnik ist damit ein wichtiger und zentraler Bestandteil der FPGA Entwicklung. Die Kernstruktur aller FPGAs basiert auf kombinatorischen Einheiten (LUTs), sequentiellen Einheiten (Flip-Flops und Latches) sowie RAMs. Obwohl Hardware Beschreibungssprachen wie VHDL oder Verilog den eigentlichen Entwicklungszyklus dramatisch vereinfachen und verkürzen, liegt die Verantwortung für die prinzipielle Schaltungsstruktur allein beim Entwickler.

Wichtige, oftmals unterschätzte Gesichtspunkte sind dabei beispielsweise die die Taktverteilung und die Verwendung asynchroner bzw. synchroner Techniken. Auch die Definition von entsprechenden Reset Strukturen wird oftmals unterschätzt und führt zu unerwünschtem Fehlverhalten. Jedes FPGA kommuniziert über unterschiedlichste Schnittstellen mit der Außenwelt, wie z.B. „System Synchronous“, „Source Synchronous“ oder im einfachsten Fall SPI. IDDR, ODDR, ISERDES und OSERDES sind daher wichtige Aspekte des Designs. Die Implemen-

tierung dieser Schnittstellen ist ebenfalls Bestandteil dieser Schulung.

Der 3-tägige Workshop „Compact FPGA Schaltungstechnik“ ist eine kompakte Version des 5-tägigen PowerWorkshops „Professional FPGA Schaltungstechnik“. Dieser Kurs vermittelt die Regeln für den FPGA basierten Entwurf digitaler Schaltungen. Die theoretischen Inhalte werden durch Übungen abgerundet. Kenntnisse von Hardware Beschreibungssprachen wie VHDL oder Verilog sind hilfreich aber nicht Bedingung da alle Beispiele als Blockdiagramme zunächst hergeleitet werden. Zur Implementierung können dann vorbereitete Musterlösungen synthetisiert werden.

## Anwendbare Technologien

alle FPGA Technologien

## Voraussetzungen

keine

## Dauer und Kosten

3 Tage, € 2.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### Introduction to the FPGA Architecture (XILINX 7-Series)

- Combinatorial Resources
- Sequential Resources
- Embedded Resources
- Clock Resources & MMCM
- RAMs and FIFOs
- Input / Output Resources

### Design Techniques

- Synchronous vs. Asynchronous
- Synchronous Design Techniques
  - Clock Structures
  - Reset Structures
  - Pipelining

- Designing with RAMs and FIFOs
- Designing Interfaces
  - SDR / DDR Interfaces
  - Asynchronous Interfaces
  - Low Speed Interfaces
- Rules and Best Practice

### Clock Domain Crossing (CDC)

- Sampling and Capturing Data in Multiple Clock Domains
- Synchronization Circuits
- CDC Analysis

### Labs

- Design of an UART
- Low Speed DAC Interface using SPI