



Workshop Compact ZYNQ UltraScale+ MPSoC for HW Designers

Dieser Kurs vermittelt sowohl die Tool-, als auch die Architektur-spezifischen Aspekte, die für die Entwicklung mit dem XILINX ZYNQ UltraScale+ MPSoC Baustein notwendig sind. Zu Beginn wird speziell auf den Embedded Design Flow eingegangen. Der Fokus in diesem Kurs liegt auf der Embedded Hardwareentwicklung mit dem XILINX VIVADO Tool, wobei auch auf die Softwareentwicklung mit der XILINX SDK eingegangen wird. Anschließend wird die Gesamtarchitektur des ZYNQ UltraScale+ MPSoC Bausteins besprochen. Für die Anbindung von AXI-basierten IPs in der Programmierbaren Logik (PL) an das Processing System (PS) ist es notwendig das AXI Protokoll und auch die Interrupt-Strukturen genau zu verstehen. Der letzte Abschnitt dieses Kurses besteht aus der Erstellung und der Verifikation eigen erstellter IP Cores mit AXI Schnittstellen.

Anwendbare Technologien

XILINX ZYNQ UltraScale+ MPSoC & RFSoc

Voraussetzungen

Verständnis digitaler Systemarchitekturen

VHDL und FPGA Kenntnisse sind von Vorteil

Grundlagen Programmiersprache C ist von Vorteil

Dauer und Kosten

3 Tage, € 2.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

- Embedded UltraFast Design Methodology
- Overview of Embedded Hardware Development
- Driving the IP Integrator Tool
- Driving the Vitis Tools
- ZYNQ UltraScale+ MPSoC Architecture Overview
- ZYNQ UltraScale+ MPSoC System Coherency
- ZYNQ UltraScale+ MPSoC System Protection
- Introduction to AXI
- ZYNQ UltraScale+ MPSoC Interrupts: Hardware Aspects
- Adding and Connecting AXI IP
- Using the Create and Import Wizard to Create a New AXI IP
- BFM Simulation

Themenbegleitende Übungen ermöglichen eine praxisgerechte Einarbeitung