



Neu

Workshop Compact Versal ACAP for HW Designers

Mit der neuen XILINX ACAP Familie (Adaptive Compute Acceleration Platform) stehen Hardware Entwicklern für die programmierbare Logik die klassischen Methoden der HDL Entwicklung zur Verfügung, so wie auch das HLS Tool und den Software Entwicklern eine Vielzahl von Libraries und Methoden der Hardwarebeschleunigung für Prozessor-basierte Applikationen.

Dieser Kurs vermittelt sowohl die Tool-, als auch die Architektur-spezifischen Aspekte, die für die Hardwareentwicklung relevant sind, was nicht nur die PL betrifft, sondern auch Kenntnis der Versal Chip-Ressourcen, die für Hardware-Funktionen mit genutzt werden können, wie Speicher-Controller, DSP-Engines, AI-Engines, Peripherien, Schnittstellen Management und I/O Interfaces.

Im Team basierten Arbeiten von Hardware- und Software Entwicklern wird im Kurs vermittelt, wie die Systemintegration mit den Tools von Vivado und Vitis ermöglicht wird. Dieses ist auch insofern wichtig, dass wenn abstrakte S/W Methoden nicht die erforderliche Anforderung erfüllen, dass der Hardwareentwickler auf einem unterem Abstraktions-Level Lösungen entwickeln kann. Immer häufiger spielen auch Fließkommaoperationen eine Rolle, was insbesondere mit Versal DSP Engines ermöglicht wird.

Das Connectivity Management liegt in der Regel in Händen des Hardwareentwicklers. Hier gilt es, mit AXI basierende Schnittstellen Technologie die Durchsatzraten, Latenzen unter Synchronisationsregeln zu managen und auch zu initialisieren, welches in der Regel im Boot Prozess erfolgt. Mit ACAP wurde NoC (Network-on-Chip) eingeführt, dass dieses Bus Management auch run-time kontrolliert ermöglicht, um die richtige Balance im Datentrain traffic paralleler Engines, IPs mit Speicherzugriffen optimieren zu können.

Zuletzt werden auch die Themen von Power-, Thermal-Estimation und PCB Design Rules behandelt.

Anwendbare Technologien

XILINX Versal ACAP

Voraussetzungen

Verständnis digitaler Systemarchitekturen

Grundkenntnisse des XILINX Vivado Flows

Grundkenntnisse der XILINX FPGA Architektur

Kenntnisse der Programmiersprache VHDL

Dauer und Kosten

3 Tage, € 2.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

- Overview of Embedded Hardware Development
- Introduction to Versal ACAP
- ACAP Architecture Overview
- Driving the IP Integrator Tool
- Driving the Vitis Tool
- ACAP Adaptable Engines (PL)
- Clocks and Resets Architecture
- IO Connectivity
- Versal Interrupts: Hardware Aspects
- Programming Bus Interfaces
- Versal System Coherency
- Programming Interfaces

- Device Memory
- DSP Architecture
- DSP Engines (DSP58 vs DSP48)
- AI Engines
- Versal Memories
- NoC Introduction and Concepts
- Multi-Gigabit Transceivers
- PMC, Boot and Configuration
- Power, Thermal & PCB

Labs

- Umfangreiche themenbegleitende Übungen ermöglichen eine praxisgerechte Einarbeitung