

# Workshop VIVADO Design Suite Static Timing Analysis and XILINX Design Constraints

Bei der Vivado™ Design Suite handelt es sich um eine stark integrierte Entwicklungsumgebung, die auf einer systemorientierten Generation von Werkzeugen basiert. Das Rückgrat hierfür bilden eine übergreifende, skalierbare Datenbasis und eine einheitliche Testumgebung. Gleichzeitig führt die verstärkte Verwendung von Industriestandards wie z.B. AMBA® AXI4, IP-XACT, Tool Command Language (Tcl), Synopsys® Design Constraints (SDC) etc. zu einer einfachen Erweiterbarkeit oder zur vereinfachten Automatisierbarkeit des Entwicklungsablaufs.

Dieser Kurs bespricht detailliert die Erstellung von XDC-Constraints und die Durchführung der statischen Timinganalyse. Des Weiteren kommen die korrekte Verwendung der FPGA-Ressourcen und die effektive Nutzung der Vivado™ Design-Datenbasis für z.B. Analyse Zwecke

zur Sprache. Zusätzlich werden diverse FPGA-spezifische Design-Tipps und -Strategien besprochen.

## Anwendbare Technologien

7 Series und UltraScale FPGAs

## Voraussetzungen

Kenntnis der FPGA-Technologie, des Vivado Software Flows sowie grundlegendes Constraining

Kenntnisse in VHDL oder Verilog

Solide Kenntnisse in digitaler Schaltungstechnik

## Dauer und Kosten

3 Tage, € 2.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### Review of Essentials of FPGA Design

#### FPGA Design Techniques

#### Accessing the Design Database

- Finding Objects
- Object Properties
- Object Connectivity
- Using the GUI

#### Static Timing Analysis and Clocks

- Setup Checks and Clocks
- Timing Reports
- Hold Checks
- Generated Clocks
- Multiple Clocks

#### Inputs and Outputs

- Creating Input Delays
- Creating Output Delays
- Using Virtual Clocks

#### Timing Exceptions

- Multicycle Paths
- False Paths
- Max/Min Delay Exceptions
- Constraint Priority

### FPGA Design Methodology

- Device and System Architecture
- Pin Planning and Floorplanning Methodology

### HDL Coding Techniques

#### Reset Methodology

- Reset Recommendations
- Reset Workarounds

### Synchronization Circuits

#### and the Clock Interaction Report

- Single Bit Synchronization Circuits
- Bus Synchronization Circuits
- Clocks and Synchronizers

### Timing Closure

- Baselining
- Isolating Common Timing Bottlenecks
- Last Mile Strategies

### FPGA Design Methodology Case Study

### Labs