

# Workshop ZYNQ – Board Design and High Speed Interfacing

Mit den neuen ZYNQ Chips verlagern sich auch Realisierungsherausforderungen vom Chiplevel hin zum Boardlevel. Die sehr hohen Datenraten erfordern sehr viel Sorgfalt im PCB-Design.

Der 3-tägige Workshop “ZYNQ – Board Design and High-Speed Interfacing” richtet sich sowohl an Hardwaredesigner als auch an Systemarchitekten und Layoutdesigner, die ZYNQ Bausteine erfolgreich im System einsetzen und schnelle Interfaces realisieren wollen.

Dieser Workshop startet mit einer Diskussion der Signal- und Powerintegrität. Mit dem Modul PCB Interface Optionen und Bedingungen wird die Notwendigkeit der Berücksichtigung der einleitenden theoretischen Grundlagen deutlich. Im nachfolgenden werden für Stromversorgung und „normales (– low-speed)“ Interfacing entscheidende Details diskutiert. Auch für das Design mit dem on-chip A/D-Wandler werden wichtige Hinweise gegeben. Schwerpunkt liegt auf einer detaillierten Be-

schreibung der schnellen Interfaces für Transceiver und Memory Anschlüsse. Hier sind teilweise sehr spezielle Designregeln einzuhalten. Wie für die Stromversorgung werden auch hier praxisnahe Beispiele besprochen und Anregungen für das Kundendesign vermittelt. Betrachtungen zum thermischen Design runden den Workshop ab. Abschließend werden Hinweise zum Troubleshooting auf PCB-Ebene behandelt.

## Anwendbare Technologien

ZYNQ-7000 / ZYNQ UltraScale+ MPSoC/RFSoc

## Voraussetzungen

Grundlegende Kenntnisse über ZYNQ Hardware Architektur sind wünschenswert

## Dauer und Kosten

3 Tage, € 2.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### Overview Board Level Interface Design Challenges

#### Basics Signal Integrity

- Effect of fast signal edges
- Transmission lines
- Reflection and termination
- Simulation options

#### PCB Interface Options and Requirements

- Pins and packaging
- Power requirements
- Signal interfacing requirements

#### Power Management

- Power estimation and tools
- Power distribution
- Filtering and decoupling
- Powering and sequencing realization options

#### Parallel Interfacing (PS and PL Sub-systems)

- I/O Standards and termination
- PCB rules and pin definition

### XADC – Mixed Signal

- Signal conversion and noise
- PCB rules

### Serial Transceiver

- Transceiver overview
- Powering and signal interfacing
- PMA layer options
- PCB guidelines
- Physical link setup and optimization
- PCI Express specific rules

### High-Speed Memory Interfaces

- Hard IP vs. Soft IP
- Physical interface realization
- Options for SI-simulation
- Physical interface verification and debugging

### Thermal Design

- Thermal resistance, modeling and calculation
- Heat sink selection

### PCB-Level Troubleshooting