

# Workshop XILINX Partial Reconfiguration

Mit Einführung der XILINX Vivado Tool Suite wurde die Methode der partiellen Rekonfiguration deutlich vereinfacht.

Teilnehmer lernen in diesem Workshop unter Vivado Projekte zu erstellen, um FPGAs partiell zu konfigurieren: FPGA Funktionseinheiten können in eigenständigen Bitstreams implementiert und auch im laufendem Betrieb partiell nachgeladen werden.

Der Kurs zeigt die Methoden der PR-Entwurfspraxis und die notwendigen Abläufe im Entwicklungsprojekt. Auch werden Techniken erlernt, wie Coding Style Einfluss auf die Ressourcen und Timingbedingungen hat. Die unterschiedlichen Varianten des FPGA-Konfigurierens werden in Theorie und Praxis behandelt. Modulare Konfigurationen können wiederum unter Nutzung eines Embedded Controller gesteuert erfolgen.

Mit diesem Ansatz lassen sich auch sehr große Designs sinnvoll auf kleinere, günstigere FPGAs implementieren.

Zielgruppe sind FPGA Hardware Entwickler mit guten Kenntnisse der FPGA Architektur sowie des Vivado Tool Flows, die mit der partiellen Designmethodik die Möglichkeiten der In-System-Programmierung erweitern möchten.

## Anwendbare Technologien

XILINX FPGAs, SoC, MPSoC & RFSoc

## Voraussetzungen

Gute FPGA Grundkenntnisse

Sprachkenntnisse VHDL oder Verilog

Grundkenntnisse des Vivado Tool Flows

Empfohlen: Mikroprozessor Kenntnisse

## Dauer und Kosten

2 Tage, € 1.500,- netto pro Teilnehmer inklusive Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### Partial Reconfiguration Overview

- Partial Reconfiguration Methodology
- PR Terminology
- PR Design Flow

### Partial Reconfiguration Tool Flow

- FPGA Configuration Overview
- Configuration Modes

### Partial Reconfiguration Bitstreams

- Bitstreams Definitions
- Bitstream Integrity
- ICAP Silicon Resource

### Managing Clocks, I/Os, and GTs

- Clocks
- GTs and I/Os

### Partial Reconfiguration: Managing Timing

- Timing Constraints
- Timing Analysis

### Partial Reconfiguration in Embedded Systems

- Zynq-7000 SoC Block Diagram
- Using PCAP Interface for Partial Reconfiguration

### Debugging Partial Reconfiguration Designs

- Debugging in PR
- HDL Simulation
- Using the ICAP Output

### Partial Reconfiguration Design Recommendations

- Design Requirements and Guidelines
- Design Recommendations
- PR Tool Flow Recommendations

### PCIe Core and Partial Reconfiguration

- Application Example: PCIe Core Fast Load
- Tandem PROM and Tandem PCIe
- Partial Reconfiguration over PCIe in UltraScale Devices

### Übungen

- **Lab 1:** Partial Reconfiguration Tool Flow
- **Lab 2:** Partial Reconfiguration Project Flow
- **Lab 3:** Floorplanning the PR Design
- **Lab 4:** Using the Partial Reconfiguration Controller in a PR Design
- **Lab 5:** Partial Reconfiguration Timing Analysis and Constraints
- **Lab 6:** Partial Reconfiguration in Embedded Systems
- **Lab 7:** Debugging a Partial Reconfiguration Design