XILINX XPERTS XILINX Program for Engineering Resources from Third Parties

PLC2 PROGRAMMABLE LOGIC COMPETENCE CENTER

VIVADO

Workshop VIVADO HLS

Seit der Erfindung der FPGAs hat sich die Entwicklungsmethodik von der Eingabe mit Stromlaufplan bis hin zur Modellierung eines Systems auf RTL Ebene stetig verändert. Allerdings erfordern diese Methoden zusätzlich zur Beschreibung der gewünschten Funktionalität auch die genaue Definition der im FPGA abzubildenden Strukturen wie z.B. Pipe Lining, Latenz, Datendurchsatz oder Fläche. Die neue, als HLS bezeichnete Methode, entlastet den FPGA Entwickler durch eine Systemmodellierung auf einer abstrakten Ebene. Die HLS erlaubt es dem FPGA Designer sich nur auf die gewünschte Funktionalität zu konzentrieren, ohne die exakte Implementierungsart definieren zu müssen. Die Verwendung der ‚C'-basierenden Programmiersprachen wie ‚C', ‚C++' und ‚SystemC' automatisiert die Implementierung und die Optimierung des FPGAs durch die Umsetzung der ‚C' -basierenden Beschreibung auf die RTL Ebene.
Die signifikanten Vorteile der neuen Methodik bei der Verifikation und Implementierung sind offensichtlich. Z.B. kann ein in ‚C', ‚C++' oder ‚SystemC' beschriebener Algorithmus wahlweise auf Geschwindigkeit, Latenz, Fläche usw. automatisch umgesetzt werden und erlaubt somit einen einfachen Vergleich der Resultate. Die weit verbreitete Verifikation auf der ‚C' Ebene erlaubt zusätzlich die frühe Erkennung der Designfehler. Beide Vorteile können daher die Entwicklungszeit der FPGA Projekte erheblich verkürzen und die Qualität steigern.

Anwendbare Technologien

XILINX FPGA und ZYNQ Derivate

Voraussetzungen

Grundlagenwissen in C-Sprachen sind von Vorteil

Grundlagenwissen in VHDL / Verilog sind von Vorteil

Dauer und Kosten

3 Tage, € 2.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen.

Agenda

Introduction to High-Level Synthesis
- Language Support
- Validation Flow

Using the Vivado HLS Tool
- Project Creation in the Vivado HLS Tool
- C Validation to IP Creation
- Vivado HLS Tool Directory Structure

IO Interfaces
- Block-Level I/O Protocols
- Port-Level I/O Protocols
- Creating AXI Interfaces

Pipelining for Performance
- HLS UltraFast Design Methodology
- Pipelining
- Dataflow Optimization

Optimizing Structures for Performance
- Arrays in HLS
- Array Optimizations

Reducing Latency
- Improving Latency
- Loops: Impact on Latency
- Improving Area
- Controlling the Resources Used
- Controlling the Structure of the Design
- Importance of Arbitrary Precision Types

Introduction to the HLS Design Flow
- RTL vs C-Based Design
- Traditional RTL vs Vivado HLS Design Flow
- Vivado HLS Tool Flow

HLS vs. SDSoC Development Environment Flow
- Scope of the SDSoC Development Environment
- Development Flow Using the SDSoC Tool
- What Users Need to Know to Be Highly Successful

Vivado HLx Tool: C Coding Rules and Tips

Übungen
- Introduction to the Vivado HLS Tool Flow
- Introduction to the Vivado HLS Tool CLI Flow
- Interface Synthesis
- Improving Performance
- Implementing Arrays as RTL Interfaces
- Improving Area and Resource Utilization
- HLx Flow - System Generation