

# PowerWorkshop

## UltraScale FPGAs – Connectivity

Die XILINX UltraScale Architekturen gestatten sehr schnelle Interfaces zu externen Komponenten. Auf den Bausteinen existieren weiterentwickelte Strukturen für die neue Wizzards zur Konfiguration in der Entwicklungsumgebung zur Verfügung stehen.

Mit den neuen UltraScale Architekturen verlagern sich verstärkt Realisierungsherausforderungen vom Chiplevel hin zum Boardlevel. Die sehr hohen Datenraten erfordern extreme Sorgfalt im PCB-Design.

Der 5-tägige Power-Workshop „UltraScale FPGAs - Connectivity“ richtet sich sowohl an Hardwaredesigner als auch an Systemarchitekten und Layoutdesigner, die schnelle Interfaces erfolgreich im System einsetzen wollen.

Mit diesem Workshop wird der Entwickler in die Lage versetzt, die verfügbaren Optionen der IPs und Taktressourcen effektiv einzusetzen. Schwerpunkt sind DDR4, Transceiver und PCI Express Interfaces. Dabei stehen neben IP Core Konfiguration, Simulation und Implementie-

rung auch die Belange des PCB Designs und der Signalintegrität im Vordergrund. Anhand eines UltraScale FPGA Boards werden praktische Design- und Verifikationsbeispiele erläutert. Die PCB-Level Simulationsoptionen werden vorgestellt. Im Kurs werden Richtlinien für eine erfolgreiche Realisierung von schnellen Interfaces erarbeitet. Methodische Hinweise zur erfolgreichen Realisierung schneller Interfaces runden den Workshop ab.

### Anwendbare Technologien

UltraScale Architekturen

### Voraussetzungen

Grundlegende Kenntnisse über VHDL und FPGA-Implementierung

### Dauer und Kosten

5 Tage, € 3.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### Introduction

#### Architecture Overview and Clocking

- UltraScale FPGAs architecture
- IO resources
- Clock resources

#### Signal Interfacing

- IO standards
- Termination
- Banking rules
- Data Converter
- PCB rules and pin definition

### Configuration

#### DDR4 Memory Interfacing

- Enhancements DDR4 over DDR3
- DDR4 specific features
- Controller architecture and interfaces
- Configuring DDR4 controller
- Memory interface simulation and implementation
- Debugging DDR4 interfaces
- PCB requirements and design
- Signal Integrity simulation options

### Serial Transceiver Interfacing

- Transceiver overview
- PCS blocks and usage options
- PMA layer options
- Simulation and implementation
- PCB requirements and design guidelines
- Signal Integrity simulation options

### PCI Express Interfacing

- PCIe Gen3 enhancements
- XILINX PCIe Gen3 Block
- Configuring PCIe interface
- PCIe simulation and implementation
- Debugging PCIe interface
- Electrical requirements and PCB design

### Powering

- Power estimation and tools
- Power distribution
- Filtering and decoupling
- Powering realization options

### Labs

- Various labs demonstrating IP usage and verifying functionality on UltraScale hardware