

# PowerWorkshop Professional PCI Express

Mit der Verfügbarkeit der neuen FPGA-Familien ergeben sich effektive PCI Express (PCIe) Lösungen, besonders unter Verwendung der auf den Chips vorhandenen IP Blöcke.

Zu Beginn gibt dieser Kurs eine Einführung in die Nomenklatur, das Übertragungsprotokoll und wichtige Details zur Erzeugung von Datenpaketen. Damit verfügt der Teilnehmer über eine solide Grundlage für die Implementierung seiner Applikation. Besonderes Augenmerk ist auf das User-Interface gelegt, welches die Schnittstelle zwischen der User-Applikation und dem PCIe Block darstellt.

Die vorhandenen Signale und deren korrekte Verwendung werden detailliert besprochen. Während des Kurses wird mit Kintex UltraScale als Zielhardware gearbeitet. Das Erlernete ist jedoch prinzipiell auf die anderen Technologien übertragbar.

Dieser Kurs bietet detaillierte Protokollinformationen und wertvolle Hinweise zum PCB-Design und Details zum PCIe Hard-IP. Das erlernte theoretische Wissen wird durch

einen intensiven Praxisteil vertieft. Nachdem die wesentlichen Punkte durch Simulationen erläutert wurden, wird ausführlich auf Softwareaspekte eingegangen. Nach allgemeinen Software und Treiber Diskussionen wird in dem Praxisteil auf DMA Konzepte und andere Applikationen näher eingegangen. Damit wird das praktische Verständnis geschaffen, um direkt die XILINX IP Cores in dem eigenen Design verwenden zu können.

## Anwendbare Technologien

Alle Ultrascale Architekturen und Versal ACAP

## Voraussetzungen

Grundkenntnisse VHDL

Grundkenntnisse XILINX Design Tools

Grundkenntnisse FPGA-Technologie

## Dauer und Kosten

5 Tage, € 3.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### Introduction to the PCIe Architecture

#### PCIe Protocol Specification

- PCIe Layers and Channels
- TLP Fields and Packet Routing
- Requests and Completion Packets
- PCIe Configuration Space
- Errors, Interrupts and Performance

#### XILINX PCI Express Solutions

#### PCIe Core Customization

#### Simulating a PCIe System Design

- Identifying Simulation Points
- Simulation Methods
- Building Testbenches

#### Connecting Logic to the Core

- Introduction to AXI
- PCIe IP Interfaces

#### Endpoint Application Considerations

- Design Specification and Considerations
- Endpoint Responsibilities
- Interpreting Data from the Core

#### Application Focus DMA

#### Root Port Design

### Zynq UltraScale+ PS PCIe Controller

#### PCIe Configuration

- Tandem Configuration
- Software Flow Details

#### Compliance and Debugging

- Debugging a PCIe Core
- Compliance Testing
- Link Training Debugging

#### Mechanicals, Hot Plug, and Power

#### PCIe Board Design

#### Device Driver Basics

- Driver Model Overview
- Tool-flows for Linux, PetaLinux and Windows

#### Device Driver Practice

- Tracing and Debugging
- DMA Concepts, Scatter/Gather Transfers
- Notifications : Interrupts and Doorbells
- Managing Circular Buffers
- Synchronous and Asynchronous I/O
- Caching Issues

#### Labs