

PowerWorkshop Professional FPGA

Der PLC2-PowerWorkshop „Professional FPGA“ schult den Neu- bzw. Wiedereinsteiger in der Funktionsweise und bestmöglichen Nutzung der Designressourcen der XILINX FPGAs.

Der Schwerpunkt dieses Workshops liegt auf der Beschreibung der grundlegenden Architekturelemente der aktuellen FPGAs. Nach einem Überblick wird im Detail auf den Aufbau der einzelnen Funktionselemente eingegangen wie z.B. die Configurable Logic Blocks (CLB), I/O-Blocks (IOB) für source- sowie systemsynchrone Übertragung im Single- oder Double-Data-Rate-Modus, DSP etc. Natürlich spielt dabei auf Grund der besonderen Bedeutung insbesondere die Taktstruktur eine große Rolle. Ferner werden dedizierte Hardwareblöcke (z.B. Gigabit Transceiver und PCIe) kurz angesprochen. Außerdem werden geeignete Kodieretechniken diskutiert, welche der Synthese eine optimale Abbildung auf die Zielhardware erlauben. Die grundlegenden

Befehle der Beschreibungssprache VHDL sowie die allgemeine Vorgehensweise der Implementierung von FPGA-Designs sind nicht Bestandteil dieses Workshops. Hier wird auf die PLC2-Workshops „Compact VHDL“ bzw. „Professional VHDL“ verwiesen. Eine Vorstellung und Diskussion der Timing Constraints rundet den Inhalt ab.

Anwendbare Technologien

UltraScale/UltraScale+ (ältere FPGA Familien auf Anfrage möglich)

Voraussetzungen

Grundkenntnisse in VHDL und Digitaltechnik
 Grundkenntnisse im XILINX Design Tool Flow

Dauer und Kosten

5 Tage, € 3.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

CLB Architecture

- CLB Structure and Routing
- Slice Resources
- Distributed RAM/SRL
- Using Slice Resources

Slice Flip-Flops

- Control Sets
- Designing Resets
- Other Reset Considerations

Memory Resources

- Block RAM Capabilities
- FIFO Capabilities
- Using Block RAM Resources

DSP Resources

- DSP Slice
- Pre-Adder and Dynamic Pipeline Control Advantages
- IP Support and Inference

I/O Resources

- SelectIO Electrical Resources
- SelectIO Logical Resources
- Power Savings
- Using SelectIO Resources

Clocking Resources

- Clock Networks and Buffers
- Clock Management Tile
- Usage Models
- Using Clock Resources

Memory Controller

- Phaser and I/O FIFOs
- Memory Controller
- Memory Interface Generator (MIG)

Dedicated Hardware

- Serial Gigabit Transceivers
- PCI Express Technology Interface
- System Monitor

HDL Coding Techniques

- Hierarchy
- Control Sets
- Synthesis Options

Timing Constraints

- Accessing the Design Database
- Static Timing Analysis and Clocks
- Inputs and Outputs
- Timing Exceptions