

Workshop Debugging Techniques Using the VIVADO Logic Analyzer

Mit steigender Integrationsdichte der FPGAs sind dem Entwickler zunehmend weniger Messmöglichkeiten gegeben, das Design in der realen Funktion zu verifizieren.

Die geringe Anzahl von Chip I/Os im Verhältnis zu internen Verbindungen, Kosten und Packungsdichte der Leiterkarte sind Hauptkriterien für ein FPGA-integriertes Logik-Analyse Werkzeug.

In der Vivado Tool Suite wurde das auf Chipscope Pro basierte Tool integriert und bietet Logikanalysefähigkeit für interne Signale der FPGA Fabric mit Konfigurationen von Trigger und Datenspeicherung angepasst der Messaufgabe.

Insbesondere auch VHDL Einsteigern bietet dieses Werkzeug eine Alternative, ihr Design ohne umfangreiche HDL Simulation sicher in Betrieb zu setzen.

Für die Synthese besteht die Anforderung, dass durch Zufügen des Cores, Realtime Anforderungen nach wie vor eingehalten werden.

Die Debug Cores werden an realen Designs erzeugt und mit FPGA Evaluierungsboard erarbeitet.

Die Kursteilnehmer lernen, wie die Anwendung der Software als Logic-Analyzer aufgebaut ist und in welcher Weise dem

Entwickler bekannte Funktionen wie Trigger-Menue und Wave Darstellungen zur Verfügung stehen. Insbesondere bei Embedded-Controller Applikationen ist dieses Werkzeug zu empfehlen, da prozessorinterne Bussignale parallel zum Debugging Werkzeug synchronisiert darstellbar sind. Auch bietet diese Art der Verifikation die Möglichkeit, HDL basierte Simulationen zu beschleunigen, indem Daten aus der Hardware aufgezeichnet und der Simulation bereitgestellt werden. In diesem Workshop werden alle wichtigen Möglichkeiten gezeigt, anspruchsvolle FPGA-Verifikationen der Hardware zu meistern.

Anwendbare Technologien

XILINX FPGAs

Voraussetzungen

Grundlegende Kenntnisse der XILINX FPGA Architektur
Grundlagenkenntnisse VHDL

Dauer und Kosten

2 Tage, € 1.500,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

The Hardware Debug Methodology and How it Works

Inserting the Debug Cores

Instantiating the Debug Cores

Debug Flow in IP Integrator

Triggering and Storage

Visualizing Data – The Analyzer Tool

Tips and Tricks

Time for Timing

Optimization – Area Groups

Case Studies

Scripting

Remote Access

The Vivado Serial I/O Analyzer

Übungen

- **Lab:** Inserting a Debug Core from the Vivado Design Suite
- **Lab:** Adding a Debug Core Using the HDL Instantiation Flow
- **Lab:** Debugging Flow – IPI Block Design
- **Lab:** Tips and Tricks
- **Lab:** VIO TCL Scripting
- **Lab:** Remote Access