

# Workshop Compact VHDL for Synthesis

**Neu**

Programmierbare Logikbausteine, wie FPGAs, haben sich in allen Bereichen unseren täglichen Lebens etabliert. Sie werden z.B. in mobilen Telefonen, IoT-Geräten, Automobilen oder Rechenzentren verbaut. Ihre Einsatzbereiche sind dabei so vielfältig wie ihre Größe. Sie dienen dabei als Protokolladapter, als Signalkonverter oder als Beschleuniger für die Video-, Radar und Sensordatenauswertung.

Der Entwurf digitaler Schaltungen dieser Größenordnung bedingt den Einsatz einer leistungsfähigen Hardwarebeschreibungssprache, die durch diverse Abstraktionsmechanismen den Entwickler in die Lage versetzt, schnell und effektiv ein Hardwaredesign zu erstellen. VHDL erfüllt all diese Anforderungen.

VHDL ist eine stark typisierte Hardwarebeschreibungssprache, die bereits während des Entwurfs verschiedenfältige Programmierfehler ausschließt. Typischerweise wird VHDL auf dem Register-Transfer-Level (RTL) eingesetzt um digitale Schaltungen beliebiger Komplexität zu entwerfen. Darüber hinaus kann VHDL zur Integration größerer Teilschaltungen auf Systemebene eingesetzt werden. Neben den VHDL Sprachkonstrukten für die Synthese, bietet die Sprache diverse Funktionalitäten um komplexe Verifikati-

onsmodelle zu beschreiben. Damit ist es möglich digitale Schaltungen vom simplen Gatter bis zum System-on-Chip (SoC) vorab zu verifizieren.

In diesem Workshop werden die Synthese relevanten Aspekte der Hardwarebeschreibungssprache VHDL, basierend auf der aktuellen Sprachrevision IEEE Std. 1076-2008, behandelt. Das theoretische Wissen wird dabei mit ausgewählten Beispielen und Übungen am PC vertieft.

Ein grundlegendes Verständnis der digitalen Schaltungstechnik (Gatter, Multiplexer, Flip-Flop, Speicher), sowie die Konzepte einer beliebigen Programmier- oder Skriptingsprache sind wünschenswert.

## Anwendbare Technologien

Alle (unabhängig von der FPGA Technologie)

## Voraussetzungen

Grundlegendes Verständnis der digitaler Schaltungstechnik (z.B. Compact FPGA Schaltungstechnik)

## Dauer und Kosten

3 Tage, € 2.100,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### Einführung in VHDL

- Sprachkonzept
- Hardware Modellierungstechniken
- Designflow

### Hardwarebeschreibung mit VHDL

- Entity / Architecture
- Configuration
- Package
- Library / Context

### Sprachelemente

- Signale, Variablen, Konstanten
- Prozesse und Nebenläufigkeit
- Kontrollstrukturen
- Funktionen / Prozeduren
- Generische Beschreibungen

### Starke Typisierung in VHDL

- Vordefinierte Typen
- Nutzerdefinierte Typen
- Vordefinierte Operatoren
- Attribute
- Fixed Point Package

### Beschreibungstechniken

- Finite State Machines
- Speicher

### Testbench Konzept

- Einfache Testbenches
- Assertions

### Übungen