

# Workshop Compact VHDL for Simulation

**Neu**

Programmierbare Logikbausteine, wie FPGAs, haben sich in allen Bereichen unseren täglichen Lebens etabliert. Sie werden z.B. in mobilen Telefonen, IoT-Geräten, Automobilen oder Rechenzentren verbaut. Ihre Einsatzbereiche sind dabei so vielfältig wie ihre Größe. Sie dienen dabei als Protokolladapter, als Signalkonverter oder als Beschleuniger für die Video-, Radar und Sensordatenauswertung.

Der Entwurf digitaler Schaltungen dieser Größenordnung bedingt den Einsatz einer leistungsfähigen Hardwarebeschreibungssprache, die durch diverse Abstraktionsmechanismen den Entwickler in die Lage versetzt, schnell und effektiv ein Hardwaredesign zu erstellen. VHDL erfüllt all diese Anforderungen.

VHDL ist eine stark typisierte Hardwarebeschreibungssprache, die bereits während des Entwurfs verschiedenfältige Programmierfehler ausschließt. Typischerweise wird VHDL auf dem Register-Transfer-Level (RTL) eingesetzt um digitale Schaltungen beliebiger Komplexität zu entwerfen. Darüber hinaus kann VHDL zur Integration größerer Teilschaltungen auf Systemebene eingesetzt werden. Neben den VHDL Sprachkonstrukten für die Synthese, bietet die Sprache diverse Funktionalitäten um komplexe Verifikationsmodelle zu beschreiben. Damit ist es möglich digitale

Schaltungen vom simplen Gatter bis zum System-on-Chip (SoC) vorab zu verifizieren.

In diesem Workshop werden, unter Rückgriff auf bereits erlerntes VHDL Wissen, die erweiterten Sprachkonstrukte zum Erstellen von Simulationen nach dem VHDL Testbench Konzept behandelt. Die vermittelten Sprachelemente der Hardwarebeschreibungssprache VHDL, basierend auf der aktuellen Sprachrevision IEEE Std. 1076-2008. Das theoretische Wissen wird dabei mit ausgewählten Beispielen und Übungen am PC vertieft.

Grundlagen in der Hardwarebeschreibungssprache VHDL, z.B. aus Compact VHDL for Synthesis sind wünschenswert.

## Anwendbare Technologien

Alle (unabhängig von der FPGA Technologie)

## Voraussetzungen

Grundlagen in der Hardwarebeschreibungssprache VHDL (z.B. Compact VHDL for Synthesis)

## Dauer und Kosten

2 Tage, € 1.500,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### VHDL Rückblick

- Prozesse und Nebenläufigkeit
- Wait Statements, Delta-Cycles
- Typen, Operatoren, Attribute
- Kontrollstrukturen
- Funktionen / Prozeduren
- Generics

### Testbench Konzept

- Inline Testbenches
- Modulare Testbenches
- Code vs. funktionalem Coverage
- Assertions

### Test Planung

- Directed Testing
- Random Testing

### Stimuli und Checks

- Einfache Stimuli Erzeugung
- Analoge Stimuli
- Zufällige Stimuli
- Timing Checks
- Self-Checking Testbench

### File I/O

- Lesen und schreiben von Dateien
- Logging

### Modellierung externer Komponenten

- Fallbeispiel: UART

### Übungen