

Workshop Compact UltraScale/UltraScale+

Der PLC2-Workshop „Compact UltraScale“ schult den Neu- bzw. Wiedereinsteiger in der Funktionsweise und bestmöglichen Nutzung der Designressourcen der XILINX UltraScale FPGAs. Der Schwerpunkt dieses Workshops liegt auf der Beschreibung der grundlegenden Architekturelemente der UltraScale FPGAs. Nach einem Überblick wird im Detail auf den Aufbau der einzelnen Funktionselemente eingegangen wie z.B. die Configurable Logic Blocks (CLB), I/O-Blocks (IOB), DSP etc. Es wird zusätzlich auf die Design-Migration eines vorhandenen 7-Series Designs eingegangen. Natürlich spielt dabei auf Grund der besonderen Bedeutung insbesondere die Taktstruktur eine große Rolle. Ferner werden dedizierte Hardwareblöcke (z.B. GTX, GTY und PCIe) kurz angesprochen. Außerdem werden geeignete Kodieretechniken diskutiert, welche der Synthese eine optimale Abbildung auf die Zielhardware erlauben. Die grundlegenden Befeh-

le der Beschreibungssprache VHDL sowie die allgemeine Vorgehensweise der Implementierung von FPGA-Designs sind nicht Bestandteil dieses Workshops. Hier wird auf die PLC2-Workshops „Compact VHDL“ bzw. „Professional VHDL“ verwiesen. Die theoretischen Inhalte werden durch praktische Übungen am PC abgerundet.

Anwendbare Technologien

UltraScale/UltraScale+ Technologien

Voraussetzungen

Grundkenntnisse in VHDL und Digitaltechnik
Grundkenntnisse im XILINX Vivado Tool Flow

Dauer und Kosten

2 Tage, € 1.500,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Design Migration Software Recommendations

- Objectives

CLB Architecture and HDL Coding Styles

- Configurable Logic Block
- HDL Coding Techniques

Clocking Resources

- Resource Layout and Clocking Structure
- Clock Routing
- Clock Buffers
- Clock Management
- Using the Clock Resources

Memory and DSP Resources

- Block RAM Capabilities
- FIFO Capabilities
- DSP Capabilities
- Using RAM, FIFO, and DSP Capabilities

I/O Resources

- UltraScale Architecture Challenges and Solutions
- I/O Electrical and Physical
- I/O Logic and Clocking
- SelectIO Bank and Pin Names

FPGA Design Migration

- Objectives

Design Migration Case Study

- Migration Methodology
- XAUI Design Introduction
- Migrating the XAUI Design Case Study

Transceiver Overview

- Architecture Improvements
- Transceiver Wizard
- Transceiver Usage