

## Workshop Advanced VIVADO HLS

Die beschleunigte Ausführung von rechenintensiven Anwendungen wie sie z.B. bei Bildverarbeitungsalgorithmen oder DSP spezifischen Algorithmen vorkommen rückt immer mehr in den Vordergrund.

Die Vivado High Level Synthesis (HLS) erlaubt die schnelle und effiziente Implementierung von Algorithmen in Hardware. Die Verwendung von ‚C‘ basierenden Hochsprachen wie ‚C‘, ‚C++‘ oder SystemC automatisiert die Implementierung und Optimierung des FPGAs durch Umsetzung der ‚C‘ basierenden Beschreibung auf HDL (VHDL oder Verilog).

In Kombination mit der ZYNQ-7000 SoC Technologie bieten sich dem Anwender vielfältige Möglichkeiten die z.B. in C++ beschriebenen Algorithmen wahlweise auf dem ZYNQ Baustein als Software oder in der Programmierbaren Logik ablaufen zu lassen. Zusätzlich können diese Algorithmen wahlweise auf Geschwindigkeit, Latenz oder Fläche optimiert werden. Der Schwerpunkt dieses dreitägigen Workshops liegt auf der Anwendung von HLS als Hardware Beschleuniger für rechenintensive Anwendungen. Im Rahmen von Übungen erstellt der Teilnehmer verschiedene Anwendungen in C/C++ die dann

in Software auf einem MicroBlaze/ZYNQ-Prozessorkern ausgeführt werden. Danach wird die gleiche Anwendung in VHDL RTL transformiert und in Hardware implementiert.

Dieser Workshop wendet sich an Teilnehmer die bereits über grundlegende Kenntnisse von Vivado HLS sowie über Grundkenntnisse in C/C++ und VHDL verfügen. Darüber hinaus sollte der Teilnehmer mit dem ZYNQ Baustein bzw. dem MicroBlaze Prozessor, sowie den entsprechenden Entwicklungstools vertraut sein.

### Anwendbare Technologien

XILINX 7-Series und UltraScale FPGAs

### Voraussetzungen

Grundlegende Kenntnisse in Vivado HLS

Grundlegende Kenntnisse der Programmiersprache C/C++

Erfahrung in der Anwendung von ZYNQ-SoC und/oder MicroBlaze ist von Vorteil

### Dauer und Kosten

3 Tage, € 2.100,- netto pro Teilnehmer

inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### Review Vivado HLS

- Create the optimum Architecture
- Control and Data Path Extraction
- Function and Hierarchy
- Top Level I/O and Interfaces

### Review Throughput & Latency

- Adding Directives
- Improving Throughput and Latency

### Processor based Hardware Design

- IP Integrator
- Adding AXI based Peripherals
- Custom Peripheral Design

### XILINX SDK

- Software Development
- Writing Device Driver
- Performance Analysis

### ZYNQ Development Flow to Accelerated C

- Accelerator: An Overview
- Understand Interconnect Performance
- Integrate Accelerated C Function

### Accelerating OpenCV Applications

- ZYNQ based OpenCV Application
- OpenCV design flow
- API and HLS Directives

### DSP and Video C Library Overview

- Vivado HLS Libraries
- XILINX Linear Algebra HLS Library
- Open CL
- Ecosystem Libraries

### Übungen

- **Lab:** Designs Analysis and Optimization
- **Lab:** Acceleration for mathematical applications
- **Lab:** Acceleration Graphic applications
- **Lab:** Acceleration of DSP applications