

PowerWorkshop Expert FPGA

Die Entwicklung komplexer FPGAs mit anspruchsvollen Timingvorgaben erfordert spezielle Vorgehensweisen wie z.B. „Floorplanning“, „Relationally Placed Macros (RPM)“ und „Incremental Design“. Auch die Reproduzierbarkeit funktionierender Designs (SmartCompile Design Preservation Techniques) ist hier von grosser Bedeutung.

Die Verwendung der grafischen Designoberfläche Foundation ISE erlaubt zwar eine schnelle und übersichtliche FPGA Implementierung, unterstützt jedoch nicht alle zur Verfügung stehenden Implementierungsoptionen. Diese Optionen können entweder über das „Command Line Interface“ oder mit Hilfe der TCL verwendet werden. Dieser 5-tägige PowerWorkshop konzentriert sich auf fortschrittliche FPGA Entwurfstechniken und richtet sich an FPGA Designer, die bereits über ein solides Grundwissen auf dem Gebiet der XILINX FPGA Entwicklung verfügen.

Behandelte Themen sind:

Scripting Techniken und Implementierung über Command Lines, Modifikationen und Probes mit dem FPGA Editor, Generierung und Verwendung von RPMs sowie Floorplanner und Incremental Design Techniken.

Intensive Übungen der Teilnehmer am PC runden die theoretischen Grundlagen ab.

Anwendbare Technologien

alle FPGA Technologien

Voraussetzungen

Grundkenntnisse einer FPGA Architektur (Spartan , Virtex) wären hilfreich

Detaillierte Kenntnisse des ISE Design System

Dauer und Kosten

5 Tage, € 2.800,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Timing Closure Flow

Achieving Timing Closure

Advanced Implementation Control

Tcl Scripting

- Introduction
- Managing Projects
- Setting and Inspecting Properties
- Design Implementation and Analysis
- Advanced Scripting

Constraints Editing

- Introduction
- Common Constraints
- Path-Specific Constraints
- Additional Constraints
- Constraint Priority

Advanced I/O Timing

- Timing Introduction
- Input Timing and Constraints
- Output Timing and Constraints

SmartCompile Design Preservation Techniques

- Introduction

- SmartGuide

- Partitions

PlanAhead

- Introduction
- Area Constraints and I/O Layout
- Floorplanning

Reduce Debug Time

- FPGA Editor: Viewing and Editing a Routed Design
- FPGA Editor Basics
- Viewing Device Resources and Constrained Path
- In-Circuit Testing

Lab 1: Achieving Timing Closure

Lab 2: Tcl Scripting

Quick Reference: Common Constraints

Lab 4: Advanced I/O Timing

- System Synchronous SDR Interface
- Source Synchronous DDR Interface

Lab 5: SmartCompile