

# Workshop XILINX Partial Reconfiguration

Seit Einführung der XILINX Toolsuite Version 12 ist die Option Partial Reconfiguration (PR) verfügbar.

Teilnehmer lernen in diesem Workshop unter der PlanAhead Toolsuite und der EDK Software Projekte zu erstellen, um FPGAs partiell konfigurieren zu können: FPGA Funktionseinheiten können in eigenständigen Bitstreams implementiert und im laufendem Betrieb partiell nachgeladen werden.

Der Kurs zeigt die PR-Entwurfspraxis unter Nutzung der PlanAhead Software und die notwendigen Abläufe im Entwicklungsprojekt.

Auch werden Techniken erlernt, wie Coding Style Einfluss auf die Ressourcen und Timingbedingungen hat.

Die unterschiedlichen Varianten des FPGA Rekonfigurierens (JTAG, SelectMap, Flash) werden in Theorie und Praxis behandelt. Modulare Konfigurationen können wiederum unter Nutzung der EDK Software über einen Embedded Controller gesteuert erfolgen.

Mit diesem Ansatz lassen sich auch sehr große Designs

sinnvoll auf kleinere, günstigere FPGAs implementieren. Zielgruppe sind FPGA Hardware Entwickler mit guten Kenntnisse der FPGA Architektur sowie des ISE Design Flows, die das FPGA in partiellen Bitstreams zur Laufzeit umkonfigurieren wollen.

Die Seminarsprache ist Deutsch.

## Anwendbare Technologien

Virtex-5, Virtex-6, 7-Series FPGAs

## Voraussetzungen

Gute FPGA Grundkenntnisse

Sprachkenntnisse VHDL oder Verilog

Grundlagen des XILINX ISE Flows

Von Vorteil: EDK Kenntnisse

## Dauer und Kosten

2 Tage, € 1.350,- netto pro Teilnehmer inklusive Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### Partial Reconfiguration Methodology

- Overview
- PR Terminology
- PR Design Flow

### Partial Reconfiguration Design Recommendations

- Design Requirements and Guidelines
- Design Recommendations
- PR Tool Flow

### Partial Reconfiguration Tool Flow

- PR Flow Details
- Scripted Flow

### FPGA Configuration Overview

- Introduction to Configuration
- Configuration Modes
- Configuration Process

### Partial Reconfiguration Bitstreams

- Bitstream Integrity
- ICAP Silicon Resource

### Managing Clock Resources

- Global Clocks
- Regional Clocks
- I/O Clocks

### Managing Timing

- Timing
- Timing Constraints
- Timing Analysis
- Simulation

### Partial Reconfiguration Debugging

- General Debug
- ChipScope Pro Debugging

### PCIe Core and Partial Reconfiguration

- Partial Bitstream Booting

### Labs

- Partial Reconfiguration Flow
- Building an HDL ICAP Controller
- Partial Reconfiguration Timing Analysis and Constraints
- EDK Partial Reconfiguration