

Workshop Advanced PlanAhead

PlanAhead ist heute als ein leistungsfähiges Analyse- und Floorplanning-Softwarepaket fester Bestandteil jeder ISE-Softwareversion. Es entwickelt sich zusehends zu einer Ersatzoberfläche zum Projektnavigator und wird diesen ablösen. PlanAhead ist gleichzeitig der Schlüssel zur partiellen Rekonfiguration. Im PLC2-Workshop „Advanced PlanAhead“ lernt der Teilnehmer detailliertere Eingriffsmöglichkeiten für eine erfolgreiche Implementierung von FPGA-Schaltungen unter Verwendung von PlanAhead kennen. Basierend auf den im „Essential PlanAhead“ erworbenen Fertigkeiten geht dieser Kurs mehr auf Area-Constraints in Form von Pblocks (physical blocks) und das damit verbundene Floorplanning ein. In diesem Kontext werden u.a. Location-Constraints für Einzelkomponenten genauso erzeugt, wie auch Implementierungsergebnisse vorangegangener Versuche, über das Arbeiten mit Partitions, wiederverwendet werden. Auch die Vorbereitung zum

Anschluß von ChipScope Pro wird besprochen. Dies beinhaltet die Auswahl der zu prüfenden Leitungen sowie die Konfiguration und Implementierung der notwendigen Core-Zellen (ICON und ILA).

Zur Demonstration der Software werden Übungen an mitgelieferten Designs durchgeführt.

Anwendbare Technologien

aktuelle FPGA-Technologien

Voraussetzungen

Detaillierte Kenntnisse der FPGA-Technologie und des XILINX Design Tool Flow

„Essential PlanAhead“ ist empfehlenswert.

Dauer und Kosten

2 Tage, € 1.350,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

PlanAhead Software Review

RTL Development and Analysis

- RTL Design Flow Review
- Exploring the Logic Hierarchy
- Viewing the RTL Schematic
- Analyzing Resource Estimates

Placing Dedicated Resources

- What is Floorplanning?
- Making Placement Constraints

Pblocks

- Why Floorplan?
- Design and Synthesis Recommendations
- Pblocks
- Floorplanning Tools

Floorplanning Techniques

- Floorplanning Principles
- Floorplanning Methodologies
- Case Study
- Additional Floorplanning Tips

Design Preservation with Partitions

- Reasons for Partitioning
- Setting Up for Partitions

Debugging with the ChipScope Pro Tool

- ChipScope Pro Tool Integration
- Selecting Signals for Debugging
- Configuring ChipScope Pro Tool Cores
- Implementing ChipScope Pro Tool Cores
- Launching the ChipScope Pro Analyzer

TCL Scripting

- TCL in the PlanAhead Software
- PlanAhead Software-Specific Commands

Team Design

- Team-Based Design Setup
- Hierarchical Design Considerations

Routing Optimization in Virtex-6 Devices

Timing Analysis

- Timing Histogram
- TRACE Results
- Display Timing Paths