

Workshop Easy Start FPGA

Der Workshop Easy Start FPGA beleuchtet die grundlegende Vorgehensweise bei der Entwicklung der FPGAs. Hier findet der Teilnehmer alle notwendigen Informationen um mit einer FPGA Entwicklung zu beginnen. Nach einer kurzen Einführung in die Schaltungstechnik und den Entwicklungsvorgang der FPGAs konzentriert sich der Workshop auf die Synthese / Simulation sowie die Implementierung und die Inbetriebnahme der FPGAs. Der Schwerpunkt des Workshops liegt auf der Realisierung von FPGA Projekten. Für eine erfolgreiche FPGA Implementierung benötigt der Anwender ein grundlegendes Verständnis für die FPGA Schaltungstechnik, die Beschreibung und Synthese mit VHDL sowie die FPGA Verifikation. Auch muss ein grundlegendes Verständnis der FPGA Technologie vorhanden sein. Im Rahmen dieses Workshops werden verschiedene in der Praxis an-

zutreffenden Aufgabenstellungen beispielhaft vorgestellt und gelöst. Die ordnungsgemäße Funktion der FPGA Entwicklungen wird sowohl mit Hilfe der Simulation als auch real mit dem Evaluation Board nachgewiesen. Eine noch tiefere Wissensvermittlung finden Sie auch in den PLC2 Workshops Professional FPGA oder Expert FPGA.

Anwendbare Technologien

XILINX FPGAs

Voraussetzungen

keine

Dauer und Kosten

2 Tage, € 1.550,- netto pro Teilnehmer inklusive XILINX Evaluation Board mit Musterlösungen sowie Schulungsunterlagen, Pausengetränken und Mittagessen

Agenda

Einführung in den FPGA Entwicklungsvorgang

- Design Entry
- Simulation
- Synthese
- Implementierung
- Programmierung
- Übungen

FPGA Schaltungstechnik

- Kombinatorische Schaltungen
- Getaktete Schaltungen
- Asynchrone / synchrone Schaltungen
- Implementierung von Taktstrukturen
- Design Richtlinien
- Übungen

Schaltungssynthese mit VHDL

- Das VHDL Sprachkonzept
- Der VHDL Prozess
- Beschreibung kombinatorischer Schaltungen
- Beschreibung getakteter Schaltungen
- Übungen

Interne Taktstrukturen mit DCM / PLLs

- Taktnetze
- Clock Management MMCM
- MMCM Betriebsarten
- Übungen

Steuerungen implementiert mit State Machines

- Überblick FSMs
- Kodierung von State Machines
- Übungen

Schaltungssimulation mit VHDL

- Das VHDL Test Bench Konzept
- Das VHDL Timing Modell
- Erzeugung der Stimuli
- Übungen

Implementierung von internen Datenspeichern

- Deklaration von multidimensionalen Arrays
- Der Coding Style
- Realisierung der Speicher mit dem Core Generator
- Übungen

