

## Workshop

# High-Speed Memory Interfacing

Die neuen XILINX FPGA Plattformen gestatten schnelle Interfaces zu externen Speichern. Dabei kommen neue IOBs in den FPGAs und weiterentwickelte Wizards zum Generieren der Controller zum Einsatz. So verlagern sich die Herausforderungen in der Realisierung vom FPGA auf das PCB. Bei den hohen Datenraten bedarf das Boarddesign sehr hohe Aufmerksamkeit.

Der 2-tägige PLC2-Workshop „High-Speed Memory Interfacing“ richtet sich sowohl an FPGA Entwickler als auch an System- und Layoutdesigner, die schnelle Memoryschnittstellen implementieren und im System nutzen wollen.

Mit diesem Workshop wird der Entwickler in die Lage versetzt, die verfügbaren Optionen der IOBs effektiv einzusetzen und diese gemeinsam mit dem PCB-Design erfolgreich für das Interfacing einzusetzen. Dabei stehen die Belange der Signalintegrität im Vordergrund. Es werden sowohl

die Signalqualität als auch das Timing eingehend behandelt. Anhand von Boards mit DDR3 Memories werden praktische Design- und Verifikationsbeispiele erläutert. Die Simulationsoptionen werden vorgestellt. Im Kurs werden Richtlinien für eine erfolgreiche Realisierung von schnellen Memory-Interfaces erarbeitet.

### Anwendbare Technologien

7 Series FPGAs, bei Bedarf auch Spartan-6 und Virtex-6 FPGAs

### Voraussetzungen

Grundlegende Kenntnisse über VHDL und FPGA-Implementierung

### Dauer und Kosten

2 Tage, € 1.350,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### Introduction

- FPGA technology overview
- Memory overview (DDRx, LPDDRx, QDR, RLDRAM)
- DDR3 specific features (write / read leveling, dyn ODT, reset, ...)
- FPGA resources for memory interfaces

### Logical Design

- Usage of the XILINX resources
- Options and challenges
- Design parameters

### Physical Design

- PCB design parameters
- PCB design requirements
- Board-Level simulations
- PCB design rules
- Power supply

### System Analysis

- FPGA timing analysis
- PCB timing analysis
- System timing analysis
- Design parameter optimization
- Summarizing all design rules

### Test and Debugging

- Functional verification
- Option and strategies for debugging

### Labs:

- Controller design
- Simulation memory interface
- Test and verification DDR3 memory interface
- Verification physical layer (reflection and crosstalk)
- Verification physical layer (timing)