

Workshop Designing with PCI Express

Mit der Verfügbarkeit der neuen FPGA-Familien ergeben sich effektive PCI Express (PCIe) Lösungen, besonders unter Verwendung der auf den Chips vorhandenen Embedded-IP Cores.

Zu Beginn gibt dieser Kurs eine Einführung in die Nomenklatur, das Übertragungsprotokoll und wichtige Details zur Erzeugung von Datenpaketen. Damit verfügt der Teilnehmer über eine solide Grundlage für die Implementierung seiner Applikation. Der Schwerpunkt des Kurses liegt dann auf der Simulation und Umsetzung der Aufgabenstellung an einem konkreten Beispiel. Damit wird ein bestmöglicher Realitätsbezug geschaffen und eine effiziente Wiederverwendbarkeit des Erlernten gesichert. Besonderes Augenmerk ist auf das User-Interface gelegt, welches die Schnittstelle zwischen der Userapplikation und der Corezelle selber darstellt. Die vorhan-

denen Signale und deren korrekte Verwendung werden detailliert besprochen.

Während des Kurses wird mit Spartan-6 als Zielhardware gearbeitet. Das Erlernte ist jedoch prinzipiell auf die anderen Technologien übertragbar.

Anwendbare Technologien

XILINX FPGAs mit embedded PCIe-Block

Voraussetzungen

Grundkenntnisse VHDL

Grundkenntnisse im XILINX Design Tool Flow

Grundkenntnisse FPGA-Technologie

Dauer und Kosten

3 Tage, € 1.900,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Introduction to the PCIe Architecture

- Overview and Architecture
- Protocol Basics
- Performance

Review of the PCIe Protocol

- Transaction Types and Categories
- Virtual Channels and Flow Control
- Address and Configuration Space

PCIe and the CORE Generator Interface

- Core Selection
- Configuration Space

Simulating a PCIe System Design

- Identifying Simulation Points
- Simulation Methods
- Building Testbenches

Connecting Logic to the Core – AXI Interface

- PCIe Link and System Interface Signals
- Common Transaction Interface Signals
- Transmit Interface Signals
- Receive Interface Signals
- Configuration Space Interface Signals
- Physical Layer Interface Signals

Packet Formatting Details

- General TLP Format
- MemW
- MemR
- Cpl/ CplD
- Msg/ MsgD

Endpoint Application Considerations

- Design Specification and Considerations
- Selecting the Appropriate Core
- Specific Register Awareness
- Endpoint Responsibilities
- Interpreting Data from the Core

Application Focus DMA

Virtex-6 FPGA Root Port

Compliance and Debugging

- ChipScope Pro Tool and Debugging a PCIe Core Endpoint
- Compliance Testing
- Key Signals on the LLK Interface

Interrupts and Error Management

- PCIe Core Error
- Interrupts