

Workshop

Designing with Multi-Gigabit Serial I/O

Die neuen XILINX FPGA Plattformen gestatten serielle Interfaces im 10 Gbit/s-Bereich. Dabei kommen neue Transceiver zum Einsatz, für deren schnelle und effektive Nutzung ein umfangreiches Wissen erforderlich ist.

Der 3-tägige PLC2-Workshop „Designing with Multi-Gigabit Serial I/O“ richtet sich an Entwickler, die serielle Schnittstellen im Gbit/s-Bereich implementieren und im System nutzen wollen.

Mit diesem Workshop wird der Entwickler in die Lage versetzt, alle verfügbaren Features der Transceiver effektiv einzusetzen, die für die Features notwendigen Schnittstellen und Attribute festzulegen, mit dem im CoreGenerator integrierten Transceiver Wizard die seriellen Transceiver Primitives zu instanzieren, um somit projektspezifische Schnittstellen oder standardisierte serielle Interfaces zu realisieren. Mit dem Serial I/O Toolkit für ChipScope

wird eine effektive Verifikation der seriellen Übertragungsstrecke gezeigt. Themen zur Signalintegrität einschließlich eines Simulationsbeispiels und Hinweise zum Boarddesign geben praktische Hinweise zur Realisierung.

Anwendbare Technologien

7 Series FPGAs, bei Bedarf auch Spartan-6 und Virtex-6 FPGAs

Voraussetzungen

Grundlegende Kenntnisse über VHDL und FPGA-Implementierung

Dauer und Kosten

3 Tage, € 1.900,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Introduction

- FPGA technology overview
- GTP overview
- GTX overview
- GTH overview

Clocking, timing and RESET

Physical Coding Sublayer

- Fabric interface
- Encoding / decoding
- Symbol alignment, clock correction
- Channel bonding

Physical Media Attachment

- Serial IO
- Pre-Emphasis and equalization

Implementation and Verification

- Architecture Wizard
- SecureIP simulation
- ChipScope IBERT design

System Design

- 64B/66B and 64B/67B encoding and the Gearbox
- PMA Layer details
- Boarddesign
- Link optimization
- Test and debugging

Labs:

- Coding/encoding lab
- Using Commas and K-character symbols
- Clock correction
- Channel bonding
- Using Architecture Wizard
- Implementation and Simulation
- 64B/66B encoding
- System-Lab: from Planning to Debugging / Link Optimization