

Workshop DSP Implementation Techniques for XILINX FPGAs

Der Workshop „DSP Implementation Techniques“ schließt die bestehende Lücke zwischen DSP System Designern und Hardware Entwicklern. Neben der Beschreibung wie DSP Algorithmen effizient implementiert werden können, wird auch gezeigt wie Entscheidungen auf Systemebene den Entwicklungsvorgang, als auch die Produktkosten beeinflussen können. Damit richtet sich dieser Workshop an Entwickler, die mit Produktentwicklungen betraut sind, bei welchen digitale Signalverarbeitung benötigt wird.

Der PLC2-Workshop „DSP Implementation Techniques“ konzentriert sich auf System Design, Hardware Design und DSP Algorithmen.

Obwohl zu Beginn ein kurzer Abriss der grundlegenden DSP Theorie präsentiert wird, sollten die Teilnehmer über ein fundamentales Grundwissen auf folgenden Gebieten verfügen:

■ Abstraten & FIR (Finite Impulse Response) and IIR (Infinite Impulse Response) Filter

■ Oszillatoren, Mixer und FFT (Fast Fourier Transformation) Algorithmen

Die theoretischen Inhalte werden durch Übungen am Laptop/PC abgerundet.

Anwendbare Technologien

Alle FPGA Technologien

Voraussetzungen

Grundlagen ISE Design System

Grundlagen VHDL

Dauer und Kosten

3 Tage, € 1.900,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Back to Basics

- Traditional DSP vs. FPGA
- Digital Signal Processing: What, Why, and Where
- Signed Binary Number Refresher
- Signed Number Arithmetic
- Quantization, Saturation, Truncation, and Rounding
- Latency vs. Throughput

FPGA Architecture

- FPGA Overview
- CLB structure
- DSP48A1/E1
- Block RAM Memory Resources

FPGA Math

- Addition and Subtraction
- Accumulation
- Multiplication
- Other Functions

Shift Registers, RAM, and Applications

- SRL32E
- Distributed Memory
- Block Memory

The FIR Filter

- Overview
- MAC Engine FIR
- Semi Parallel FIR
- Serial Distributed Arithmetic FIR
- Full Parallel FIR
- Parallel Distributed Arithmetic FIR
- FIR Compiler