

PowerWorkshop Expert VHDL

Der 5-tägige PowerWorkshop „Expert VHDL“ ist als Erweiterung des PowerWorkshops „Professional VHDL“ gedacht und zeichnet sich ebenfalls durch einen sehr hohen Praxisanteil aus. „Expert VHDL“ ist für FPGA Entwickler konzipiert, die bereits über grundlegende VHDL Erfahrung verfügen und dieses Wissen vertiefen und weiter ausbauen möchten.

Der Schwerpunkt dieses PowerWorkshops liegt auf der Verifikation des Bausteins mit Hilfe von VHDL Test Benches. Nach einer umfassenden Einführung in das von VHDL angebotene Verifikationskonzept, werden die Teilnehmer während des breit angelegten Praxisteils eigenständig komplexe Schaltungen aus den unterschiedlichsten Anwendungsbereichen beschreiben und diese mit entsprechenden Verifikationsumgebungen (Test Benches) mit Hilfe des VHDL Source Level Debuggers/ Simulators verifizieren. Die Entwicklung hierzu benötigter Simulationsmodelle externer Komponenten ist ebenfalls Bestandteil der praktischen Übungen. Abgerundet wird der Inhalt durch Einführungen in die formale Verifikati-

on mittels Assertion Based Verification (ABV) sowie On-Chip Debugging mit ChipScope.

Maximal zwei Teilnehmer arbeiten zusammen und verfügen über alle hierzu notwendigen Einrichtungen wie Entwicklungsrechner mit Designsoftware und Simulationswerkzeug. Dadurch wird ein bestmöglicher Bezug auf die reale und praxisnahe Entwicklertätigkeit geschaffen. Selbstverständlich können auch konkrete Aufgabenstellungen im Rahmen des Praxisteils bearbeitet werden.

Anwendbare Technologien

alle (von Technologie unabhängig)

Voraussetzungen

Grundkenntnisse VHDL (wie z.B. in „Professional VHDL“ vermittelt)

Dauer und Kosten

5 Tage, € 2.800,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Rückblick Basic VHDL

- VHDL-Befehle
- Funktionen und Prozeduren

Schleifen

- FOR-Schleifen
- WHILE-Schleifen
- NEXT/EXIT Statements

Verifikation durch High-Level-Simulation

Planung der Verifikation

- Verifikationslevel
- Verifikations-Strategien
- Response Verifizierung
- Timing Verifizierung

Testbench Architekturen

- Allgemeine Simulationsmodelle
- Monitoring
- Intelligente Test Benches

Attribute und Generics

- Signal und Typen Attribute
- Wiederverwendbare Komponenten

Stimulus und Response

- Diskrete, periodische und komplexe Stimuli
- Analoge Stimuli
- Waveform Generatoren
- Pseudo Random Generatoren

File I/O

- Lese- und Schreibzugriffe auf Textdateien
- Lese- und Schreibzugriffe auf Binärdateien

On-Chip Debugging mit ChipScope

Einführung in Assertion Based Verification (ABV)

- Open Verification Library (OVL)
- Property Specification Language (PSL)
- System Verilog Assertions (SVA)

Modellierung externer Komponenten

- AD Wandler
- Funktionsgenerator
- Speicher

Übungen am PC