

Workshop

Einführung in Assertion-Based Verification

In der Entwicklung moderner ASIC und FPGA Designs liegt der Hauptengpass zunehmend in der funktionalen Verifikation. Eine Reduktion von Aufwand, Zeit und Kosten zukünftiger HW-Entwicklungen kann nur durch signifikante Verbesserungen im Bereich Verifikations-Methodik und -Automation erreicht werden.

Der vorliegende Workshop führt Design-, Verifikations- und Integrations-Ingenieure praxisorientiert in den wesentlichen Industrietrend zur Reduktion von Verifikationsaufwänden ein: Assertion-Based Verification (ABV). Den einfachsten Einstieg in die ABV und einen sofortigen Nutzen liefert die Verwendung von Assertions in Verbindung mit formalen Verifikationswerkzeugen. Diese Werkzeuge ermöglichen die Verifikation bereits während der RTL Entwicklung zu starten, Fehler wesentlich früher zu finden und für viele Verifikationsaufgaben den Aufwand im Vergleich zur Simulation erheblich zu senken. Anhand von realen Designbeispielen erlernen die Teil-

nehmer die effiziente Analyse und Verifikation von VDHL und Verilog Designs mit Hilfe von System Verilog Assertions (SVA)

Die Übungen werden mit dem Verifikationswerkzeug 360MV von OneSpin Solutions (München) durchgeführt.

Anwendbare Technologien

Alle (von Technologie unabhängig)

Voraussetzungen

Entwurf digitaler Schaltungen (RTL), Kenntnisse in VHDL und/oder Verilog, Grundkenntnisse in funktionaler RTL Verifikation sind hilfreich

Dauer und Kosten

2 Tage, € 1.350,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Grundlagen Assertion-Based Verification

- Was ist Assertion-Basierte Verifikation (ABV)?
- Vorteile und Einsatzbereiche von ABV
- Simulations-basierte vs. formale ABV

Automatische RTL Analyse

- Auffinden von typischen RTL Kodierungsfehlern
- Auffinden von Synthese-Simulations-Diskrepanzen
- Auffinden von Design-Optimierungsmöglichkeiten

Einführung in System-Verilog Assertions (SVA)

Formale Verifikation von SystemVerilog Assertions

- Einlesen und Binden von SV Assertions
- Ausführung der Verifikation
- Interpretation der Verifikationsergebnisse

Effizientes Debugging von Assertions und RTL Design

- Debugging Flow und Automatisierung
- Design Exploration

Effiziente RTL-Analyse und -Verifikation

- Anwendungszszenarien für Designingenieure
- Anwendungszszenarien für Verifikationsingenieure

Übungen am PC an realen Designbeispielen