

Workshop Advanced VHDL Verification

Der Workshop „Advanced VHDL Verification“ ist als Erweiterung des Workshops „Compact VHDL“ gedacht. Er ist für FPGA-Entwickler konzipiert, die bereits über grundlegende VHDL Erfahrung verfügen und dieses Wissen vertiefen und weiter ausbauen möchten.

Der Schwerpunkt dieses Workshops liegt auf der Verifikation des Bausteins mit Hilfe von VHDL Test Benches. Nach einer umfassenden Einführung in das von VHDL angebotene Verifikationskonzept, werden die Teilnehmer während des Praxisteils eigenständig komplexe Schaltungen aus den unterschiedlichsten Anwendungsbereichen beschreiben und diese mit entsprechenden Verifikationsumgebungen (Test Benches) mit Hilfe des VHDL Source Level Debuggers/ Simulators verifizieren. Die Entwicklung hierzu benötigter Simulationsmodelle externer Komponenten ist ebenfalls Bestandteil der praktischen Übungen. Abgerundet wird der Inhalt durch eine Einführung in die formale Verifikation mittels Assertion Based Verification (ABV).

Maximal zwei Teilnehmer arbeiten zusammen und verfügen über alle hierzu notwendigen Einrichtungen wie Entwicklungsrechner mit Designsoftware und Simulationswerkzeug. Dadurch wird ein bestmöglicher Bezug auf die reale und praxisnahe Entwicklertätigkeit geschaffen. Selbstverständlich können auch konkrete Aufgabenstellungen im Rahmen des Praxisteils bearbeitet werden.

Anwendbare Technologien

alle (von Technologie unabhängig)

Voraussetzungen

Grundkenntnisse VHDL (wie z.B. in „Compact VHDL“ vermittelt)

Dauer und Kosten

3 Tage, € 1.900,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Rückblick Basic VHDL

- VHDL-Befehle
Funktionen und Prozeduren

Schleifen

- FOR-Schleifen
- WHILE-Schleifen
- NEXT/EXIT Statements

Verifikation durch High-Level-Simulation

Planung der Verifikation

- Verifikationslevel
- Verifikations-Strategien
- Response Verifizierung
- Timing Verifizierung

Testbench Architekturen

- Allgemeine Simulationsmodelle
- Monitoring
- Intelligente Test Benches

Attribute und Generics

- Signal und Typen Attribute
- Wiederverwendbare Komponenten

Stimulus und Response

- Diskrete, periodische und komplexe Stimuli
- Analoge Stimuli
- Waveform Generatoren
- Pseudo Random Generatoren

Text I/O

- Read - Lesen der Stimuli aus Textdateien
- Write - Schreiben der Ergebnisse in Textdateien

Modellierung externer Komponenten

- AD Wandler
- Funktionsgenerator
- Speicher

Übungen am PC