

ExpressWorkshop FPGA Virtex-5

Mit der Verfügbarkeit der Virtex-5 Familien ergeben sich wieder neuartige und effektivere Design-Implementierungen. Durch eine Vielzahl von Neuerungen der Hardware-Architektur gestattet Virtex-5 u.a. wesentlich effektivere Implementierungen mit der 6-input LUT, bessere Block-RAM und FIFO-Implementierungen, High-Speed Memory Interfaces und erweiterte DSP-Anwendungen.

Der Schwerpunkt dieses ExpressWorkshops liegt auf der Beschreibung der neuen bzw. modifizierten Architekturelemente sowie auf deren optimaler Implementierung mit VHDL. Zusätzlich wird auf Softwaresupport durch Core-

Gen bzw. Architecture Wizards eingegangen.

Anwendbare Technologien

Virtex-5

Voraussetzungen

Grundlagen Digitaltechnik sind hilfreich

Dauer und Kosten

1 Tag, € 180,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Introduction Virtex-5 Technology

- Virtex-5 Platforms

Introduction ISE Design-Software

- Project management
- Design Entry
- Synthesis and Verification
- Implementation

Clocking Resources

- Clock Manager Technology
- DCM
- Phase Lock Loops
- Global and regional clock networks
- Application examples

I/O Resources

- SelectIO resource: IOB
- SelectIO logic resources: ILOGIC, OLOGIC, IODELAY, IDELAYCTRL
- SelectIO advanced logic resources : ISERDES, OSERDES
- New I/O standards Core Resources and Embedded Blocks
- 6-input LUT
- CLB
- Connectivity
- Distributed memories
- RAMB36: Block RAM application examples and Block RAM ECC
- FIFO36 and application examples
- Overview: DSP48E, embedded cores, serial I/O

Configuration Overview