

Workshop Designing a Fast Memory Controller

In speicherbasierten Systemen werden zunehmend DDRAM (double data rate dynamic RAM)-Speicher eingesetzt, da diese Speicher sowohl kostengünstig sind als auch sehr hohe Bandbreite offerieren. Damit stellen sich jedoch neue Herausforderungen an den Entwickler:

Zum einen ist die Datenrate schneller Speicherbausteine nur über hinreichende Signalintegrität in der Leiterkarte sichergestellt, wobei nicht immer Layout Analyse Werkzeuge dem Entwickler zur Verfügung stehen. In diesem Workshop werden praxisorientierte Lösungen gezeigt, die es ermöglichen, ein DDRAM Controller Design im XILINX FPGA mit allen notwendigen Anforderungen aufzusetzen und zum Erfolg zu führen. Es werden die unterschiedlichen Speicherarchitekturen besprochen und deren Anforderungen an den Controller Design Entwurf. Neben der Theorie widmet sich dieser Workshop dem Schwerpunkt Praxis: Es wird ein realer Designentwurf eines DDRAM Controllers erstellt und Schritt für Schritt implementiert und auch real in Betrieb genommen. Insbesondere die Design Rules an das Layout stellen sehr hohe

Anforderungen. Der Kursteilnehmer wird mit den notwendigen Kriterien vertraut gemacht und implementiert den RAM Controller im FPGA in einem VHDL Projekt.

Der Kursteilnehmer wird in die Lage versetzt, eigene Controllerlösungen umzusetzen und notwendige Kriterien im FPGA und im Layout zu berücksichtigen.

Der Entwicklungsprozeß wird mit HDL Simulation in den Implementierungsschritten verifiziert und abschließend in der Leiterkarte mit Langzeittests der Speicherkommunikation abgeschlossen.

Anwendbare Technologien

XILINX FPGA Familien

Voraussetzungen

FPGA Architektur und VHDL Kenntnisse

Dauer und Kosten

2 Tage, € 1.350,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Übersicht Speicherbausteine

- SRAM, SSRAM, ZBT-RAM
- DRAM, SDRAM
- DDRAM, DDRAM2, DDRAM3
- Datenblatt Analyse

DDR IO Schnittstellen

- Double Data Rate Schnittstelle
- Datensynchronisation
 - Direct Clocking
 - Forward Clocking
 - DLL Synchronisation

XILINX Memory Controller IPs

- MIG: Memory Interface Generator
- PowerPC & MicroBlaze RAM Controller

Anforderungen an den Leiterkartenentwurf

- Signalintegrität
- Simultaneous Switching

- IEEE JEDEC Normierung
- Layout Constraints
- Der Layout Lagenaufbau
- Werkzeuge (S/W)

FPGA Entwicklung eines DDRAM Controllers

- XILINX FPGA Banking Rules
- Das IO Design
- DDRAM State Machine Controller
- Timingdiagramme
- Implementierung Constraints: Timing
- Implementierung Constraints: Platzierung

Verifikation des DDRAM Controllers

- HDL Simulation
- Simulationsmodelle
- Verhaltenssimulation, Timingsimulation
- Systemsimulation
- Speichertestroutinen