

PowerWorkshop Expert DSP Design Flow

Mit dem PowerWorkshop „Expert DSP Design Flow“ bietet PLC2 einen Workshop, der in 5 Tagen besonders praxisnah und mit erweiterten Themen die Einarbeitung in den Matlab/Simulink basierten Designflow gewährleistet. Matlab und XILINX kombinieren Ihre Werkzeuge, so dass der FPGA Entwurf in grafischer Form, effektiver und damit in kürzerer Zeit gelingt. Insbesondere Möglichkeiten, die FPGA Hardware an das Simulink Werkzeug zu koppeln, sowie umfangreiche Stimulus Elemente der Matlab Libraries, ermöglichen kürzere Entwicklungszyklen. Ein weiterer Vorteil besteht in der Methodik, nicht lineare Randbedingungen wie Wortbreite, Sättigungs- und Rundungsverhalten vor der Implementierung zu analysieren, so dass die Architektur den realen Bedingungen ent-

sprechend entwickelt wird. Die Themeninhalte werden durch vielfältige Übungen mit Hardware intensiviert.

Anwendbare Technologien

XILINX FPGAs

Voraussetzungen

Grundlagenkenntnisse der digitalen Signalverarbeitung.

Dauer und Kosten

5 Tage, € 2.900,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Matlab Simulink Basics

- Stimulus and Response
- Sampling and Resolution
- Design Hierarchy and Subsystems

XILINX System-Generator Basics

- Interfacing and Data Types
- Constructing the Design
- System-Generator Blockset

Digital Filter Implementations

- FIR Filters
- IIR Filters
- Distributed Arithmetic Filters
- Parallel Filters
- Sequential Filters
- Semi-parallel Filters
- FFT Filters

Verification

- Simulink Verification
- HDL Co-Simulation
- Hardware Verification
- Testbench Verification

Signals in System-Generator

- Signal Conversion
- Signal Extraction
- Expression Blocks

Implementing System Control

- Control Mechanisms

- Block Operations
- Implementing .m File Functions

Micro Controllers

- PicoBlaze in Simulink
- MicroBlaze and PowerPC
- Creating CoProcessors

Multi-Rate Systems

- Sample Rate Conversion
- Sample Rate Changing Blocks
- Simulink Propagation Rules
- Timing Constraints

DSP Macro Programmierung

- DSP48: Programming the Core
- Pipelining an Algorithm

Creating Various Submodules for ISE

- File Structure
- HDL Flow, Netlist Flow
- Simulation Flow
- Timing and Area Constraining

Designing with Shared Memories

- Memories, Shared Memories
- Register based Interfaces
- BlockRAMs and FIFOs

Achieving Higher Performance

- Timing Analysis Compilation
- Performance Improvements